

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

THIS PAGE BLANK (USPTO)

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2001年11月8日 (08.11.2001)

PCT

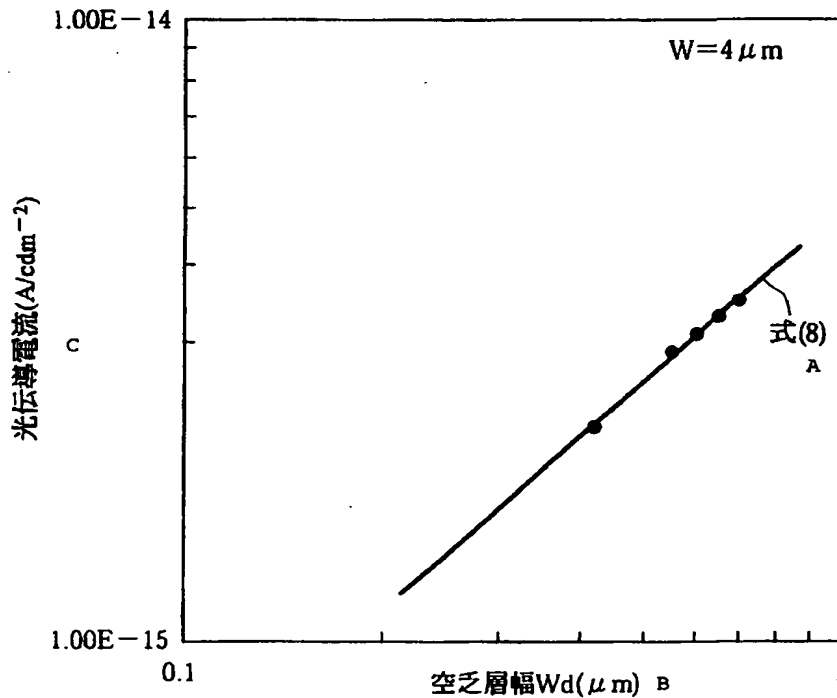
(10) 国際公開番号
WO 01/84635 A1

- (51) 国際特許分類⁷: H01L 29/786, 21/336, G02F 1/1368 (71) 出願人 (米国を除く全ての指定国について): 松下電
器産業株式会社 (MATSUSHITA ELECTRIC INDUS-
TRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市
大字門真1006番地 Osaka (JP).
- (21) 国際出願番号: PCT/JP00/06330
- (22) 国際出願日: 2000年9月14日 (14.09.2000)
- (25) 国際出願の言語: 日本語 (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 南野 裕
(NANNO, Yutaka) [JP/JP]; 〒665-0024 兵庫県宝塚
市逆瀬台1-7-1-714 Hyogo (JP). 岡田隆史 (OKADA,
Takashi) [JP/JP]; 〒575-0021 大阪府四條畷市南野
2-7-12 Osaka (JP). 山野敦浩 (YAMANO, Atsunori)
[JP/JP]; 〒666-0111 兵庫県川西市大和東2-26-5 Hyogo
(JP). 千田耕司 (SENDA, Kouji) [JP/JP]; 〒617-0845 京
都府長岡京市下海印寺川向井12-13 Kyoto (JP).
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2000-131264 2000年4月28日 (28.04.2000) JP
特願2000-197536 2000年6月30日 (30.06.2000) JP

[続葉有]

(54) Title: THIN FILM TRANSISTOR AND METHOD FOR FABRICATING THE SAME, AND LIQUID CRYSTAL DISPLAY
COMPRISING THE SAME

(54) 発明の名称: 薄膜トランジスタとその製造方法、及びそれを用いた液晶表示装置



A...EXPRESSION (8)

B...WIDTH OF DEPLETION LAYER W_d (μm)C...PHOTOCONDUCTION CURRENT (A/cdm^{-2})

(57) Abstract: A thin film transistor having high performance and high reliability by suppressing the OFF current (photoconduction current) during irradiation with light. The thin film transistor comprises a polysilicon semiconductor layer having a channel region, source and drain regions formed on either side of the channel region, and a depletion layer formed between the channel region and the drain region, wherein the width of the depletion layer is proportional to the photoconduction current generated when the channel region is irradiated with light, and the width of the depletion layer is equal to or

[続葉有]



(74) 代理人: 大前 要(OHMAE, Kaname); 〒540-0037 大阪府大阪市中央区内平野町2-3-14 ライオンズビル大手前2階 Osaka (JP).

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(81) 指定国 (国内): CN, KR, US.

smaller than a value determined according to the proportional relation in order to control the photoconduction current within a specified allowable range.

(57) 要約:

光照射時のOFF電流（光伝導電流）を抑え、高性能、高信頼性を実現した薄膜トランジスタを提供する。即ち、チャネル領域と、該チャネル領域の両側に配置されたソース領域およびドレイン領域とが形成された多結晶シリコン半導体層を有し、前記チャネル領域と前記ドレイン領域との間には空乏層が形成され、該空乏層の幅と前記チャネル領域に光が照射された場合に発生する光伝導電流とは比例関係を有し、前記光伝導電流を所定許容値内とするために、空乏層の幅を前記比例関係に基づいて求めた値以下とした構成である薄膜トランジスタを提供する。

明 細 書

薄膜トランジスタとその製造方法、及びそれを用いた液晶表示装置

5

技 術 分 野

本発明は、薄膜トランジスタとその製造方法、及びそれを用いた液晶表示装置に関する。

10

背 景 技 術

(第1の背景技術)

従来、アモルファスシリコン（以下、「a-Si」と称する）で形成されているアクティブマトリクス型の液晶表示装置の画素の駆動性能は、a-Siで十分に満たされているが、同一の基板上に同じプロセスで信号線の駆動回路を構成することは性能上困難であり、単結晶Siによって形成された外付けの駆動回路（ドライバー）を用いてパネルを駆動している。

しかしながら、a-Siの移動度は $0.5 \sim 1 \text{ cm}^2 \cdot \text{s}^{-1} \cdot \text{V}^{-1}$ であり、今後、液晶パネルの画素数が増大した場合、一般的には最大1水平期間に相当する画素のTFTをONする時間はますます短くなり、画素への書き込み能力が不足する。

これに対して、画素のTFTをポリシリコン（以下、「p-Si」と称する）で作成することにより、このTFTの移動度は、a-Siで作成された場合に比較して1桁から2桁以上高いため画素への充電能力が高くなる。従って、液晶パネルの高精細化が進むにつれて、画素TFTをp-Siで形成することは有利である（FPDE

x p o F o r u m 9 7 , 2 - 1 4)。

一般的に p - S i T F T の構造としては、ゲート電極がチャネル層上方に位置するトップゲート型、ゲート電極がチャネル層に対して基板側に存在するボトムゲート型の 2 種類が存在する。トップゲート型構造は、ボトムゲート型構造に比較して、不純物をゲート電極をマスクとして自己整合的にドーピングすることにより寄生容量の小さい T F T を作成することが可能であり微細化に有利である。

上記トップゲート型の T F T を例えば液晶表示装置に適用し該 T F T の裏面より光を照射した場合、バックライトの光は直接 T F T のチャネル領域に照射される。そして、前記チャネル領域に光が照射されると、この部分で光伝導電流が発生し O F F 電流が大きくなるという問題があった。ここで、「光伝導電流」について説明する。

半導体中での光伝導電流の発生のメカニズムは太陽電池などを中心にこれまで多くの論文（たとえば、田中一宣編著、“アモルファス半導体の基礎、” 1 9 8 2 年）などに紹介されているが、p - S i T F T での光伝導電流の発生メカニズムについて論じられたものは少ない。

一般的に、光伝導電流の発生は、電界の印加された状態でバンドギャップを介して電子／正孔対が生成され、生成された電子／正孔対が電界によりドリフトし、それぞれの領域で多数キャリアの増加に対しキャリアの再結合電流という形で観測されるものである。ゲート電極下のチャネル領域は、逆バイアス条件下においてチャネル直下に正孔が誘起されるがそのキャリアの濃度は非常に低い。これに対しドレイン側の多数キャリアである電子は、n - 領域のシート抵抗が $20 \text{ k } \Omega / \square \sim 100 \text{ k } \Omega / \square$ の範囲では $10^{16} / \text{cm}^3 \sim 10^{18} / \text{cm}^3$ 程度のキャリア密度であると推定される。この

場合、 n -領域の多数キャリアである電子はチャネル側に向かって拡散し拡散電位 V_d を形成する。尚、空乏層の幅は W_d で表される。

光が照射されることにより、この空乏化した領域で電子／正孔対が発生する。発生した電子／正孔対は互いに電界に惹かれ電子はドレイン方向、ホールはチャネル方向に移動する。ドレイン側に移動した電子ならびにチャネル側に移動した正孔はそれぞれの領域で再結合して消滅する。この再結合に消費される電荷がそれぞれソースおよびドレイン電極により供給され、これが光伝導電流として観測される。

上記のような光伝導電流によって OFF 電流が増加（オフ特性の劣化）した場合、次のような問題が発生する。

オフ特性の劣化により引き起こされる画質劣化は、輝度傾斜とクロストークである。輝度傾斜とは、図 38（a）に示すように、画面の上部と下部で、液晶の電流／輝度特性が異なることにより発生するものであり、画面の上部と下部で輝度の差が生じる。一方、クロストークとは、図 38（b）のように白の中央部に黒のボックスパターンを表示した場合、黒の画像が上下あるいは左右方向に尾を引くような現象である。また、その他、オフ特性の劣化はフリッカの増加、輝度むらの発生など画質に大きな影響を与える。

（第 2 の背景技術）

また、 p -SiTFT は高移動度であるので、画面内のアクティブマトリックス素子と信号駆動回路の一部あるいは全部をガラス基板上に同時に形成することができる。しかしながら、 p -SiTFT は、 a -SiTFT や MOS 型電解効果トランジスタに比較して OFF 電流が大きいという欠点を有している。

そこで、この OFF 電流低減のために、特開平 5-136417

に開示されているように、T F Tのソース領域またはドレイン領域の少なくとも一方に隣接して、低濃度不純物領域（L D D領域）を設ける方法が行われている（第1の従来の方法）。

また、L D D領域を形成する他の方法として、L D D領域をT a
5 O xの有無によりコントロールする方法（Euro Display '96 pp547）が開示されている（第2の従来の方法）。

L D D領域がO F F電流低減に有効であるメカニズムについては、特開平5-136417に開示されているように、L D D領域がド
レイン領域に対して高抵抗であるため、チャンネル/L D D領域の
10 接合部にかかる電界が、L D D領域を設けない場合に対して小さくなるためと考えられている。

以上の2つの方法では、いずれの方法もL D D領域をマスク合わせによりT a O xの有無を制御、あるいはレジスト膜の有無を制御することによりドーピング濃度の違う部分を形成している。この方
15 法では確実にL D Dの領域を確保するために、L D D領域の長さはマスクあわせの寸法精度以上の長さを確保しなければならない。

これに対し、特開平7-140485に示すように、L D D領域をゲート電極に対して自己整合的に形成する第3の従来の方法がある。本方法は、ゲート電極となるA lを陽極酸化することによって、
20 その側面にA lの酸化物層を形成し、これをマスクとしてN型或いはP型の不純物元素を導入して、ソース領域、ドレイン領域及び前記側面の酸化物層とほぼ同じ厚みを持った低濃度不純物層を作成することを可能とするものである。

この方法を用いれば、ゲート電極に対して自己整合的にL D D領
25 域を形成することが可能で、L D D領域形成のためのマスクを削減できると共に、不純物濃度の高い領域の長さを、陽極酸化したA l

の側面に存在する酸化物の膜厚に相当する $0.1 \mu\text{m} \sim 0.5 \mu\text{m}$ 程度とかなり小さく形成することが可能である。

5 LDD構造はOFF電流低減に関して効果が高いのであるが、TF Tのゲート電極下のチャンネルが反転するON状態においては、比較的高抵抗層であるLDD領域がチャンネル領域に直列に挿入されることによりON電流が低下するという欠点を有している。

本来、LDD領域はソースならびにドレイン領域である部分に対して高抵抗でありTF Tの特性が上がるに従ってその抵抗の影響が顕著に現れる傾向をもつ。よって、この高抵抗領域であるLDD領域の長さは、そのOFF電流を低減させるに十分であり、かつ高いON電流を確保するに十分に低い抵抗値を持つものでなければならない。

15 しかしながら、現状ではLDD領域の長さの指針を決める方法が皆無であり、OFF電流低減のために必要以上にLDD領域を確保する必要がある。一般的には $1.5 \mu\text{m}$ よりも長いLDD領域を確保する必要がある、その結果、TF TのON電流を低下させる原因となっている。

20 また、第3の従来例に示す方法によれば、LDD領域を $0.1 \mu\text{m} \sim 0.5 \mu\text{m}$ 程度とかなり小さく形成することが可能であるが、一般に液晶パネルのドライバ或いは画素のTF Tとして用いる場合、その駆動電圧は $5 \sim 15 \text{V}$ 程度であり、一般のICと比較してかなり高い。従って、LDD領域が $0.1 \mu\text{m} \sim 0.5 \mu\text{m}$ の場合、その効果が不十分となり本プロセスでは十分にOFF電流を下げることはできない。

25 そこで、本発明では、上記の点に鑑み、光照射時のOFF電流（光伝導電流）を抑える構成をとることにより、輝度傾斜やクロストーク

ク等の画質劣化を抑制し、高性能、高信頼性を実現した薄膜トランジスタの提供を第1の目的としている。

また、OFF電流を抑えるとともに、LDD領域の長さを必要最小限に押さえてON電流の減少を抑制する構成をとることにより、
5 高性能、高信頼性を実現した薄膜トランジスタの提供を第2の目的とするものである。

発 明 の 開 示

即ち、上記課題を解決するために、請求項1に記載の発明は、
10 膜トランジスタであって、チャネル領域と、該チャネル領域の両側に配置されたソース領域およびドレイン領域とが形成された多結晶シリコン半導体層を有し、前記チャネル領域と前記ドレイン領域との間には空乏層が形成され、該空乏層の幅と前記チャネル領域に光が照射された場合に発生する光伝導電流とは比例関係を有し、前記
15 光伝導電流を所定許容値内とするために、空乏層の幅を前記比例関係に基づいて求めた値以下とした構成であることを特徴としている。

上記のように、空乏層幅が光伝導電流と比例関係を有することが新たに見い出され、これにより、空乏層幅を制御することで光伝導電流を所定の許容値以下とすることが達成され、輝度傾斜やクロストーク等の画質劣化のない薄膜トランジスタを提供することができる。
20

また、請求項2に記載の発明は、請求項1に記載の薄膜トランジスタであって、前記ドレイン領域のシート抵抗を R ($k\Omega/\square$)、前記チャネル領域のチャネル幅を W (μm)とした場合、式(1)
25 の関係を満たすことを特徴としている。

尚、 A は光伝導電流と光強度によって定められる定数である。

$$(R + 30) \cdot W < A \quad \dots (1)$$

また、請求項 3 に記載の発明は、請求項 2 に記載の薄膜トランジスタであって、前記ドレイン領域のシート抵抗を R ($k \Omega / \square$)、前記チャネル領域のチャネル幅を W (μm) とした場合、式 (2) の関係を満たすことを特徴としている。

$$(R + 30) \cdot W < 1 \times 10^3 \quad \dots (2)$$

上記 (1) 式、(2) 式のように、新たに制御できる因子 (ドレイン領域のシート抵抗) とチャネル領域のチャネル幅との関係によって、光照射時の OFF 電流 (光伝導電流) を抑制する範囲を規定することができる。そして、上記 (1) 式、(2) 式の関係を満たす薄膜トランジスタは、光照射時の OFF 電流の増加を抑えることができるので、クロストークや輝度傾斜を防ぐことができ、従って、高性能、高信頼性を実現することができる。

また、請求項 4 に記載の発明は、請求項 3 に記載の薄膜トランジスタであって、前記チャネル領域のチャネル幅 W が $2 \mu m$ 以下であることを特徴としている。

上記 (2) 式の関係は、チャネル領域のチャネル幅 W を $2 \mu m$ 以下とする場合であっても、シート抵抗 R とチャネル幅 W によって、光照射時の OFF 電流の増加を抑えることができる。

また、請求項 5 または請求項 6 に記載の発明は、請求項 3 または請求項 4 に記載の薄膜トランジスタであって、前記ドレイン領域のシート抵抗が $20 k \Omega / \square$ 以上、 $100 k \Omega / \square$ 以下であることを特徴とする。

このように規制するのは、シート抵抗が $20 k \Omega / \square$ 以下では OFF 電流は急激に大きくなり、また、シート抵抗を $100 k \Omega / \square$ 以上にした場合、トランジスタの ON 電流が低下しパネルの動作が

不安定となるためである。ドレイン領域のシート抵抗の範囲を $20 \text{ k}\Omega/\square$ 以上 $100 \text{ k}\Omega/\square$ 以下とすることにより、OFF電流の低減を図ることができるとともに、ON電流の減少は起こらない薄膜トランジスタを提供することができる。

- 5 また、請求項 7 に記載の発明は、チャネル領域と、該チャネル領域の両側にソース領域およびドレイン領域とが配置された多結晶シリコン半導体層を有し、液晶表示装置にスイッチング素子として備えられる薄膜トランジスタであって、前記液晶表示装置を構成するバックライトの輝度を $2000 \text{ (cd/m}^2\text{)}$ 以上とする場合、前
- 10 記ソース領域と前記チャネル領域との間、または前記ドレイン領域と前記チャネル領域との間の少なくともいずれか一方に、不純物濃度がソース領域およびドレイン領域よりも低い低濃度不純物領域が形成され、該低濃度不純物領域の長さ ΔL は、 $1.0 \mu\text{m}$ 以下であることを特徴としている。
- 15 このように、低濃度不純物領域を形成することにより、空乏層の広がり長さを長さ ΔL が $1.0 \mu\text{m}$ 以下とされた低濃度不純物領域の範囲内とすることができ、従って、光伝導電流（OFF電流）が増加しない薄膜トランジスタとすることができる。

- また、請求項 8 に記載の発明は、チャネル領域と、チャネル領域
- 20 の両側に配置されたソース領域およびドレイン領域とが形成され、前記ソース領域とチャネル領域との間、またはドレイン領域とチャネル領域との間の少なくともいずれか一方に、不純物濃度がソース領域およびドレイン領域よりも低い低濃度不純物領域が形成された多結晶シリコン半導体層を有する薄膜トランジスタであって、前記
- 25 低濃度不純物領域の長さを $\Delta L \text{ (}\mu\text{m)}$ 、ソースドレイン間電圧を $V_{lc} \text{ (V)}$ 、前記チャネル領域のチャネル幅を $W \text{ (}\mu\text{m)}$ とし

た場合、式（３）の関係を満たすことを特徴としている。

$$\Delta L > (W \cdot V_{1c}) / 36 \dots (3)$$

このような関係を満たすことにより、薄膜トランジスタのOFF時には、前記低濃度不純物領域がキャリアの枯渇する高抵抗層となるためOFF電流の低減を図ることができる。そして、前記（１）式より、LDD領域の長さの指針を決めることができ、OFF電流低減のために必要以上にLDD領域を確保する必要はなくなるのである。

また、請求項９に記載の発明は、請求項８に記載の薄膜トランジスタであって、前記チャネル領域のチャネル長を L （ μm ）とした場合、式（４）の関係を満たすことを特徴としている。

$$\Delta L < 1.5 \cdot (W / L) \dots (4)$$

このような関係を更に満たすことにより、薄膜トランジスタのON時には、ゲート電極からの電界の作用により、ゲート電極下の低濃度不純物領域はキャリアとなる電子が蓄積して低抵抗領域となり、ON電流の減少は起こらない。よって、前記薄膜トランジスタは、ON電流を十分確保すると共にOFF電流を小さく押さえることが可能となる。

また、請求項１０に記載の発明は、請求項９に記載の薄膜トランジスタであって、前記チャネル領域のチャネル幅 W （ μm ）が $2\mu\text{m}$ 以下であることを特徴としている。

このように、前記低濃度不純物領域の長さ ΔL を規制することにより、OFF電流の低減を図ることができるとともに、ON電流の減少は起こらない。

また、請求項１１または請求項１２に記載の発明は、請求項９または請求項１０に記載の薄膜トランジスタであって、前記低濃度不

純物領域のシート抵抗が $20 \text{ k}\Omega/\square$ 以上、 $100 \text{ k}\Omega/\square$ 以下であることを特徴としている。

また、請求項 13 に記載の発明は、請求項 11 に記載の薄膜トランジスタであって、前記低濃度不純物領域が、ドレイン領域とチャネル領域との間にのみ形成されていることを特徴としている。

低濃度不純物領域を設けるのは、本来的にはドレイン領域に作用する電界を緩和するためであり、かかる観点からすれば、ドレイン領域とチャネル領域の双方に低濃度不純物領域を設ける必要はない。そこで、ドレイン領域とチャネル領域との間、または前記ドレイン領域と前記チャネル領域との間の少なくとも一方に低濃度不純物領域を形成すれば、薄膜トランジスタの面積を小さくすることが可能となる。

また、請求項 14 に記載の発明は、請求項 1 に記載の薄膜トランジスタをスイッチング素子として備えた液晶パネル部と、前記液晶パネル部に裏面側より光を供給するバックライト部と、を備えた液晶表示装置であって、前記ドレイン領域のシート抵抗を $R \text{ (k}\Omega/\square\text{)}$ 、前記バックライト部の輝度を $B \text{ (cd/m}^2\text{)}$ 、前記チャネル領域のチャネル幅を $W \text{ (}\mu\text{m)}$ とした場合、式 (5) の関係を満たすことを特徴としている。尚、 C は光伝導電流によって定められる定数である。

$$(R + 30) \cdot B \cdot W < C \quad \dots (5)$$

また、請求項 15 に記載の発明は、請求項 14 に記載の液晶表示装置であって、前記ドレイン領域のシート抵抗を $R \text{ (k}\Omega/\square\text{)}$ 、前記バックライト部の輝度を $B \text{ (cd/m}^2\text{)}$ 、前記チャネル領域のチャネル幅を $W \text{ (}\mu\text{m)}$ とした場合、式 (6) の関係を満たすことを特徴としている。

$$(R + 30) \cdot B \cdot W < 1 \times 10^6 \quad \dots (6)$$

また、請求項 16 に記載の発明は、EL 装置であって、薄膜トランジスタを有する基板に形成された画素電極上層に発光層を有し、該発光層上層に対向電極が形成された EL 装置であって、前記薄膜トランジスタは、請求項 1 に記載の薄膜トランジスタであり、該薄膜トランジスタのチャネル領域に照射される光強度を B (cd/m^2) とした場合、式 (5) の関係を満たすことを特徴としている。尚、 C は光伝導電流によって定められる定数である。

$$(R + 30) \cdot B \cdot W < C \quad \dots (5)$$

10 また、請求項 17 に記載の発明は、請求項 16 に記載の EL 表示装置であって、前記ドレイン領域のシート抵抗を R ($\text{k}\Omega/\square$)、前記チャネル領域に照射される光強度を B (cd/m^2)、前記チャネル領域のチャネル幅を W (μm) とした場合、式 (6) の関係を満たすことを特徴としている。

15
$$(R + 30) \cdot B \cdot W < 1 \times 10^6 \quad \dots (6)$$

また、請求項 18 に記載の発明は、絶縁性基板上に多結晶シリコン半導体層を形成する多結晶シリコン半導体層形成工程と、前記多結晶シリコン半導体層上にゲート絶縁膜を形成するゲート絶縁膜形成工程と、前記ゲート絶縁膜上にゲート電極をパターン状に形成するゲート電極形成工程と、前記ゲート電極の側面を酸化し、該ゲート電極の側面を覆う金属酸化膜を形成する陽極酸化工程と、前記多結晶シリコン半導体層に前記ゲート電極をマスクとして不純物をドーピングする不純物ドーピング工程と、を有する薄膜トランジスタの製造方法であって、前記陽極酸化工程において形成される金属酸化膜の膜厚を制御して、前記不純物ドーピング工程において形成される低濃度不純物領域の長さ ΔL を $1.0 \mu\text{m}$ 以下とすることを特徴としている。

20

25

また、請求項 19 に記載の発明は、薄膜トランジスタの製造方法であって、絶縁性基板上に多結晶シリコン半導体層を形成する多結晶シリコン半導体層形成工程と、前記多結晶シリコン半導体層上にゲート絶縁膜を形成するゲート絶縁膜形成工程と、前記ゲート絶縁膜上にゲート電極をパターン状に形成するゲート電極形成工程と、前記多結晶シリコン半導体層に前記ゲート電極をマスクとして不純物をドーピングする第 1 の不純物ドーピング工程と、前記第 1 の不純物ドーピング工程により、不純物がドーピングされた半導体領域上に遮蔽膜を形成し、該遮蔽膜を異方性エッチングによりパターン状に形成する遮蔽膜形成工程と、前記多結晶シリコン半導体層に前記遮蔽膜をマスクとして不純物をドーピングして、遮蔽膜の下部領域とそれ以外の領域で不純物濃度差が存在するようにして、ソース領域とチャネル領域との間、またはドレイン領域とチャネル領域との間の少なくともいずれか一方に、不純物濃度がソース領域及びドレイン領域よりも低い低濃度不純物領域を形成し、該低濃度不純物領域の長さを $1.0 \mu\text{m}$ 以下とする第 2 の不純物ドーピング工程と、を有することを特徴としている。

また、請求項 20 に記載の発明は、請求項 19 に記載の薄膜トランジスタの製造方法であって、前記低濃度不純物領域の長さ ΔL が $1.0 \mu\text{m}$ 以下のものを良品とする検査工程を含むことを特徴としている。

図面の簡単な説明

図 1 は T F T を構成するチャネル領域のチャネル幅 W と光伝導電流（OFF 電流： I_{OFF} ）との関係、及びバックライト輝度と光伝導電流との関係を示すグラフである。

図 2 は T F T を O F F 状態にした場合の電界をシミュレーションした結果を示すグラフである。

図 3 はシミュレーションにより得られたシート抵抗と空乏層幅との関係を示すグラフである。

5 図 4 はシミュレーション ($W = 4 \mu m$ の場合) により求められた空乏層幅と該空乏層幅に対応するシート抵抗での光伝導電流との関係を測定した結果を示すグラフである。

図 5 はアクティブマトリックスの等価回路を示す図である。

図 6 は画素電圧ロスのシミュレーション結果を示すグラフである。

10 図 7 は本発明の実施の形態 1 - 1 に係る薄膜トランジスタを画素スイッチング素子として使用した液晶表示装置の概略断面図である。

図 8 は本発明の実施の形態 1 - 1 に係る薄膜トランジスタの概略断面図である。

図 9 は図 8 の概略平面図である。

15 図 10 は本発明の実施の形態 1 - 1 に係る薄膜トランジスタの製造方法を示す概略断面図である。

図 11 は同じく薄膜トランジスタの製造方法を示す概略断面図である。

20 図 12 は同じく薄膜トランジスタの製造方法を示すフローチャートである。

図 13 は薄膜トランジスタの電圧 / 電流特性を示すグラフである。

図 14 は O F F 電流の基板面内のばらつきを示すグラフである。

図 15 は n 型領域の濃度をパラメータとした、薄膜トランジスタの $V_g - I_d$ 特性をシミュレーションした結果を示すグラフである。

25 図 16 は T F T を O F F した場合の電界をシミュレーションした結果を示すグラフである。

図 1 7 は本発明の実施の形態 1 - 2 に係る薄膜トランジスタの製造方法を示す概略断面図である。

図 1 8 は同じく、薄膜トランジスタの製造方法を示す概略断面図である。

5 図 1 9 は本発明の実施の形態 1 - 3 に係る薄膜トランジスタを用いた C - M O S インバータの配線パターンを示す平面図である。

図 2 0 はその等価回路図である。

図 2 1 は図 1 9 の矢視 X - X ' 断面図である。

10 図 2 2 は C - M O S インバータにおける o n / o f f 時での n - c h トランジスタのバイアス状態における動作ポイントを示すグラフである。

図 2 3 はシート抵抗をパラメータとして L D D 領域を $0.5 \mu m$ から $3 \mu m$ まで変化させた場合の $V_g - I_d$ 特性をシミュレーションした結果を示すグラフである。

15 図 2 4 はチャンネル領域と L D D 領域において、T F T を O F F 状態にした場合 ($V_g = -10 V$ 、 $V_d = 6 V$ 時) の電界をシミュレーションした結果を示す。

20 図 2 5 は実際の L D D 領域を持つ T F T の、L D D 領域の長さ (ΔL) と O F F 電流及び L D D 領域の長さ (ΔL) と O N 電流との関係を示すグラフである。

図 2 6 は実施の形態 2 - 1 に係る薄膜トランジスタの簡略化した断面図である。

図 2 7 は図 2 6 の概略平面図である。

25 図 2 8 は本発明の実施の形態 2 - 1 に係る薄膜トランジスタの製造方法を示す概略断面図である。

図 2 9 は本発明の実施の形態 2 - 1 に係る薄膜トランジスタの製

造方法を示す概略断面図である。

図 3 0 は本発明の実施の形態 2 - 1 に係る薄膜トランジスタの製造方法を示すフローチャートである。

図 3 1 は、L D D 領域を形成する工程を説明する概略断面工程図である。

図 3 2 は、フォトマスクと基板の斜視図である。

図 3 3 は同じく平面図である。

図 3 4 は、L D D 領域形成後の薄膜トランジスタの概略断面図である。

図 3 5 は実施の形態 2 - 1 に係る薄膜トランジスタの電圧 / 電流特性を示すグラフである。

図 3 6 は実施の形態 2 - 1 に係る薄膜トランジスタの O F F 電流の基板面内のばらつきを示すグラフである。

図 3 7 は L D D 領域の濃度をパラメータとした、T F T の $V_g - I_d$ 特性をシミュレーションした結果を示すグラフである。

図 3 8 は輝度傾斜とクロストークについて説明するための概略図である。

発明を実施するための最良の形態

[第 1 の発明群]

(第 1 の発明群の概念)

まず、第 1 の発明群の概念について説明した後、具体的な実施の形態について図面に基づいて説明する。

第 1 の発明群では、T F T への光照射時の光伝導電流を抑えることを目的としている。

そこで、上記目的を達成するために、本願発明者らは、前記光伝

導電流と相関性を有するパラメータを探索し、その結果、空乏層幅が光伝導電流と比例関係を有することを新たに見い出した。この比例関係に基づいて空乏層幅を制御（小さく）することによって、光伝導電流を許容値以下とすることが達成され、輝度傾斜やクロストーク等の画質劣化のない薄膜トランジスタを提供することができる。

尚、前記「空乏層幅」とは、後述する図 2 (a) に示すように、電界強度が立ち上がる 2 点のそれぞれの接線間の距離と定義する。

また、従来、バックライトの輝度 B 及びチャネル領域のチャネル幅 W は、光伝導電流と相関性があることは分かっており、これら 2 つの制御パラメータに基づいて TFT の設計を行っていた。しかし、前記 2 つの制御パラメータだけでは光伝導電流抑制に対して十分でなく、TFT を設計する上で誤差が生じることもある。

そこで、本願発明者らは、前記「空乏層幅と光伝導電流との比例関係」に関して更に鋭意検討を加え、ドレイン領域のシート抵抗も光伝導電流に対して相関性があることを新たに見出した。これにより、シート抵抗 R という新たな因子を評価基準とすることにより制御パラメータが 3 つとなり、従来の制御パラメータが 2 つのものに比較して薄膜トランジスタの設計の精度が向上し、光伝導電流を顕著に抑制することができる。以下に、空乏層幅と光伝導電流との関係についてまず説明し、その後、バックライトの輝度 B と、ドレイン領域のシート抵抗 R と、チャネル領域のチャネル幅 W との関係について説明する。そして、光伝導電流を抑制するための TFT の具体的な作製手法の原理について説明する。

まず、本願発明者らは、TFT を構成するチャネル領域のチャネル幅と光伝導電流の関係を測定するとともに、ドレイン領域のシート抵抗と光伝導電流の関係を測定した。更に、シミュレーションに

より動作解析を行い、空乏層幅の範囲を求めた。

図 1 (a) は、T F T を構成するチャネル領域のチャネル幅 W と光伝導電流 (O F F 電流: I_{OFF}) との関係を示すグラフである。尚、実線は 6000 cd/cm^2 、破線は 4000 cd/cm^2 、
5 1 点鎖線は 2000 cd/cm^2 の光を照射した場合のチャネル幅 W と光伝導電流 I_{OFF} の関係を示している。

図 1 (a) より、光照射時の O F F 電流 I_{OFF} は、チャネル幅 W に比例することが明らかである。また、図 1 (b) は、バックライト輝度と光伝導電流との関係を示すグラフであるが、O F F 電流
10 I_{OFF} は、バックライト輝度 B に比例することが確認できた。

図 2 (a) は T F T を O F F 状態にした場合の電界をシミュレーションした結果を示すグラフである。図 2 (a) に示すシミュレーション結果により、電界はほぼチャネル/ドレイン領域の接合部にのみ集中しており、L D D 領域のシート抵抗が $20 \text{ k}\Omega/\square$ (実線)
15 の場合、空乏層幅は約 $0.5 \mu\text{m}$ 程度であり、その空乏層領域は主にチャネル側に伸びていることが分かる。これに対して、シート抵抗が $100 \text{ k}\Omega/\square$ (破線) の場合、空乏層幅は $0.9 \mu\text{m}$ 程度であり、L D D 領域に広がっていることが確認される。

これにより、シート抵抗が変化することにより空乏層幅も変化することが新たに見い出された。そこで、本願発明者らは、シート抵抗と空乏層幅との関係を調査した。その結果を図 3 に示す。図 3 はシミュレーションにより得られたシート抵抗と空乏層幅との関係を示す。空乏層幅 W_d はシート抵抗 R に比例することが確認された。
20 これは p / n 接合の場合における空乏層の広がりと同様、キャリア濃度の低い領域に空乏層は伸びるためであると考えられる。そして、
25 図 3 のシート抵抗と空乏層幅との関係を下記 (7) 式に示す。

$$W d = 8 \times 10^{-3} \cdot R + 0.24 \dots (7)$$

図4はシミュレーション（ $W = 4 \mu m$ の場合）により求められた空乏層幅と、該空乏層幅に対応するシート抵抗での光伝導電流と、の関係を測定した結果を示す。

- 5 空乏層幅と光伝導電流をそれぞれ対数でプロットすると、ほぼ傾きが1の直線が得られた。これは、光伝導電流が空乏領域により発生することを示唆するものである。そして、空乏層幅 $W d$ と光伝導電流の関係は下記（8）式のように表すことができる。

$$I_{p h o t o} = 5 \times 10^{-15} \cdot W d \dots (8)$$

- 10 尚、上記（8）式で、 $I_{p h o t o}$ は、チャネル幅が $4 \mu m$ での光強度が1（ $c d / m^2$ ）当たりの値である。

- このように上記（8）式より、空乏層幅 $W d$ が光伝導電流 $I_{p h o t o}$ と比例関係を有することが見い出され、これにより、空乏層幅を制御（小さく）することで光伝導電流を許容値以下とすることができ、輝度傾斜やクロストーク等の画質劣化ない、高性能、高信頼性を実現した薄膜トランジスタを提供することができる。尚、前記「許容値」とは、例えば後述するが、 $10 p A$ 以下の値である。
- 15

- また、前述した図1（a）より、 $I_{o f f}$ はチャネル幅 W 及び光強度 B に比例するので、 $I_{o f f}$ と $I_{p h o t o}$ とは下記（9）式の関係を満たす。
- 20

$$I_{o f f} = I_{p h o t o} \cdot (W / 4) \cdot B \dots (9)$$

そこで、上記（9）式と（8）式より $I_{p h o t o}$ を消去すると、下記（10）式ようになる。

$$I_{o f f} (4 / (W \cdot B)) = 5 \times 10^{-15} \cdot W d \dots (10)$$

- 25 そして、上記（7）、（10）式より空乏層幅 $W d$ を消去すると、下記（11）式が得られる。ここで、図1（a）より $I_{o f f}$ はチ

チャンネル幅 W に比例する。

$$R = I_{off} \cdot 10^{17} / (B \cdot W) - 30 \dots (11)$$

ところで、一般的に高品位の画質を維持するためには、 I_{off} は 10 pA 以下の値が必要である。その理由について以下に説明する。図 5 にアクティブマトリックスの等価回路を示す。

TFT の OFF 抵抗 R_{off} が小さくなると、次の書き込みまで電荷が保持できなくなり電圧ロスとなる。時間 T 後の画素電圧 V は (12) 式で記述される。

$$V = V_0 \{ 1 - \exp (T / (R_{off} \times C_{tot})) \} \dots (12)$$

ここで、 $C_{tot} = C_s + C_{lc}$

また、TFT の OFF 電流 ($R_{off} = V_{sd} / I_{off}$) をパラメータとした場合の、時間と電圧ロスのシミュレーション結果を図 6 に示す。図 6 より、 16 msec ($1 / 60 \text{ Hz}$) の保持時間で、電圧ロスを 0.02 V 以下に抑制するためには、バックライト照射状態で OFF 電流を 10 pA 以下にする必要があることが確認される。

よって、前記 (11) 式の I_{off} を 10 pA 以下とすると次式が得られる。

$$(R + 30) \cdot B \cdot W < 10 \cdot 10^{-12} \cdot 10^{17} = 1 \times 10^6 \dots (6)$$

となる。

また、薄膜トランジスタが使用される条件によっては、OFF 電流を抑制する値は変化するので、下記 (5) 式のように表すことができる。

$$(R + 30) \cdot B \cdot W < C \dots (5)$$

尚、 C は光伝導電流によって定められる定数である。

このようにして、上記 (6) 式を満たす薄膜トランジスタは、光

伝導電流を抑制することができるものであり、従って、クロストークや輝度傾斜を防ぐことができ、画質が優れ、高性能、高信頼性を実現することができる。

また、上記式(6)は液晶パネルとしてのバックライト輝度を含んだ式であるが、一般的に薄膜トランジスタは常にバックライトを備えた透過型のみとは限らない。従って、バックライト輝度Bを最高5000cd/m²と仮定すると、前記(6)式は

$$(R + 30) \cdot W < 2 \times 10^2 \dots (2')$$

となり、前記(2')式を満たす薄膜トランジスタは、バックライトの輝度Bに関係なく、即ち、透過、反射型を問わない薄膜トランジスタとすることができる。

尚、上記(2')式は、下記(2)式を満たす方が更に性能の良い薄膜トランジスタとすることができる。

$$(R + 30) \cdot W < 1 \times 10^3 \dots (2)$$

また、前記(11)式は、下記(11')式のように表すことができる。即ち、

$$(R + 30) \cdot W < (I_{off} \cdot 10^{17}) / B \dots (11')$$

上記(11')の右辺を、 I_{off} とBとによって定められる定数Aで置き換えると、下記(1)式で表すことができる。

$$(R + 30) \cdot W < A \dots (1)$$

(Aは光伝導電流と光強度によって定められる定数)

また、前記TFTの構成において、LDD領域を形成することにより、該LDD領域以上には空乏層は広がらず、前述したように空乏層幅と比例関係にある光伝導電流を抑制することができることとなる。図16は、チャネル領域とLDD領域において、TFTをOFF状態にした場合($V_g = -10V$ 、 $V_d = 6V$ 時)の電界をシ

ミュレーションした結果を示す。

前記シミュレーション結果より、電界のかかる領域はシート抵抗に依存しており、LDD領域のシート抵抗が $20\text{ k}\Omega/\square$ の場合は $0.4\text{ }\mu\text{m}$ 程度、シート抵抗が $100\text{ k}\Omega/\square$ の場合では $1.0\text{ }\mu\text{m}$ であることが確認できた。

尚、前記チャネル幅は $4\text{ }\mu\text{m}$ で行っているが、チャネル領域のチャネル幅Wを微細化し、 $2\text{ }\mu\text{m}$ 以下とする場合には、特に、前記関係式(1)式、(2)式は薄膜トランジスタを作製する上での有効な指針となる。

10 また、以下の実施の形態では、前記シミュレーションに基づき、TF Tを作製したものについて具体的に説明する。

(実施の形態1-1)

図7は、本発明の実施の形態1に係る薄膜トランジスタを画素スイッチング素子として使用した液晶表示装置の概略断面図、図8は、
15 本発明の実施の形態1に係る薄膜トランジスタの概略断面図、図9は、図8の概略平面図である。

図7に示すように、液晶表示装置50は、液晶パネル部51と、該液晶パネル部51の裏面側に配置されたバックライト部52等とを備えた透過型液晶表示装置である。前記液晶パネル部51は、偏
20 光板53・53、ガラス基板2・54b、マトリックス状に配置された薄膜トランジスタ1、画素電極55、配向膜56、液晶層57、共通電極58等より構成されている。

前記ガラス基板2上には薄膜トランジスタ1（以下、TF Tと称する）および画素電極55を形成し、前記基板54bには共通電極
25 58を形成している。また、前記基板2・54bにはそれぞれ、ポリイミド樹脂等よりなる配向膜56・56を形成し、前記配向膜5

6・56を配向方向が互いに直交する方向に予めラビング処理しており、基板2・54bは、図示せぬスペーサーを介して対向配置されている。

また、前記基板2・54b間には液晶層57が挟持されており、
5 前記液晶層57内の液晶は90度捻じれ配向している。さらに、前記2・54bの外側面には偏光板53・53が、規制する光の振動方向が互いに平行となるように配置されている。

また、前記液晶パネル部51の裏面（下方）側にはバックライト部52を配置している。前記バックライト部52は、冷陰極管等の
10 発光素子と、光を均一化するための光分散板等より構成されている。

次に、前記薄膜トランジスタについて、図8、図9を用いて説明する。

薄膜トランジスタ1は、ガラス基板2上に、膜厚が500Åの多結晶シリコン層3、膜厚が1000Åの SiO_2 （二酸化シリコン）
15 から成るゲート絶縁層4、アルミニウムから成るゲート電極5a、及び SiO_2 から成る層間絶縁層6が順に積層されて構成されている。

また、前記多結晶シリコン層3は、ゲート電極5aの直下に位置するチャネル領域3cと、濃度が高いソース領域3a（n+層）と、
20 不純物濃度が高いドレイン領域（n+層）3bとから構成されている。また、本実施の形態においては、LDD領域（n-層）3d・3eの長さ ΔL は0.4 μm に設定されている。また、前記チャネル領域3cのチャネル幅Wは5 μm に設定されている。

ここで、前記ドレイン領域のシート抵抗を R （ $\text{k}\Omega/\square$ ）、この
25 アクティブマトリックスTFTが使われる液晶表示装置50のバックライト部52の輝度を B （ cd/m^2 ）、前記チャネル領域3c

のチャネル幅を W (μm) とした場合、下記 (6) 式を満たすように設計する。

$$(R + 30) \cdot B \cdot W = I_{\text{on}} \quad \dots (6)$$

また、TFT 1 には、更に、例えばアルミニウムから成るソース電極 7 及びドレイン電極 8 が設けられており、ソース電極 7 は、ゲート絶縁層 4 及び層間絶縁層 6 に形成されているコンタクトホール 9 a を介して、ソース領域 3 a に接続され、また、ドレイン電極 8 は、ゲート絶縁層 4 及び層間絶縁層 6 に形成されているコンタクトホール 9 b を介して、ドレイン領域 3 b に接続されている。

次に、薄膜トランジスタの製造方法を説明する。図 10 は本発明の実施の形態 1-1 に係る薄膜トランジスタの製造方法を示す概略断面図、図 11 は同じく薄膜トランジスタの製造方法を示す概略断面図、図 12 は同じく薄膜トランジスタの製造方法を示すフローチャートである。

(1) 先ず、プラズマ CVD 法により、ガラス基板 2 上に膜厚が 500 \AA の a-Si 層 15 を堆積させ、次いで 400°C で脱水素処理を行なう (図 10 (a))。この脱水素処理は、結晶化を行う際に水素の脱離による Si 膜のアブレーションの発生を防ぐことを目的としている。尚、a-Si を形成する工程はプラズマ CVD 以外でも減圧 CVD やスパッタなどのプロセスを用いることは可能である。また、プラズマ CVD その他の方法を用いてポリシリコン膜を直接堆積することもできる。この場合は、後述するレーザーによるアニール工程が不要となる。

(2) 次いで、波長 308 nm のエキシマレーザーを用いたレーザーアニールにより a-Si 層 15 の熔融再結晶化 (p-Si 化) を行ない、多結晶シリコン層 16 を形成する (図 10 (b))。

(3) 次いで、多結晶シリコン層 16 を所定形状に島化して、多結晶シリコン層 3 を形成する (図 10 (c))。

(4) 次いで、ガラス基板 2 上に、多結晶シリコン層 3 を覆うようにして、ゲート絶縁層 4 となる、厚さが 1000 Å の SiO_2 (ニ
5 酸化シリコン) 層を形成する (図 10 (d))。

(5) 次いで、ゲート電極 5a となる、アルミニウムから成る金属層 17 を製膜する (図 10 (e))。

(6) 次いで、金属層 17 を所定形状にパターニングしてゲート電極 5a を形成する (図 10 (f))。

10 (7) 次いで、ゲート電極 5a をマスクとして使用し、不純物のドーピングを行なう (図 10 (g))。具体的にはイオンドーピング法により不純物としてリンイオンをドーピングする。これにより、ゲート電極 5a の直下に位置するチャネル領域 3c は、不純物がドーピング
15 3c を除く領域は、不純物がドーピングされた層となる。尚、この場合のドーピング加速電圧は 80 kV でビーム電流密度は $1 \mu\text{A}/\text{cm}^2$ とし、高加速で n 型領域を作成するものである。

(8) 次いで、ゲート電極 5a を覆って、フォトリジスト 18 を製膜する (図 10 (h))。

20 (9) 次いで、フォトリジスト 18 を異方性エッチングによりパターン状に形成して、レジスト膜 5b を形成する (図 11 (i))。この際、異方性エッチングにより正確なレジスト膜 5b のパターンを形成することができる。

(10) 次いで、図 11 (j) に示すように、レジスト膜 5b を
25 マスクとして使用し、第 2 回目の不純物のドーピングを行なう。具体的には、イオンドーピング法により不純物としてリンイオンをドーピ

ングする。この場合のドーピング加速電圧は 12 kV でビーム電流密度は $0.5 \mu\text{A} / \text{cm}^2$ とし、低加速で高濃度の n 型領域を作成するものである。

5 (11) 次いで、層間絶縁層 (SiO_2) 6 を製膜する (図 11 (k))。

(12) 次いで、層間絶縁層 6 及びゲート絶縁層 4 にコンタクトホール 9a・9b を開口する (図 11 (L))。

10 (13) そして、スパッタ法により、例えば Al などの金属層をコンタクトホール 9a・9b に充填し、金属層の上部を所定形状にパターニングしてソース電極 7 及びドレイン電極 8 を形成する (図 11 (m))。こうして、TFT1 が作製される。

前記の例では、 n チャネル TFT について説明したけれども、 p チャネル TFT についても同様の製造プロセスにより製造することができる。

15 前記製造方法により作成した薄膜トランジスタの裏面より、 $5000 \text{ cd} / \text{m}^2$ の光を照射した場合、OFF 電流はほぼ 5 pA となる。前述したように、バックライト照射状態で OFF 電流を 10 pA 以下にする必要があるので、本実施の形態に係る薄膜トランジスタは、良好な表示特性を確保できる。

20 また、薄膜トランジスタの電圧／電流特性を図 13 に、更に OFF 電流の基板面内のばらつきを図 14 に示す。図 13 に示すように、本実施の形態に係る TFT1 (L3 のグラフ) は、安定した大きい ON 電流と小さい OFF 電流を確保できた。また、図 14 より、このようにして作製された TFT1 は、基板面内上でのばらつきを小
25 さくすることができる。

図 15 に n 型領域の濃度をパラメータとした、薄膜トランジスタ

の $V_g - I_d$ 特性をシミュレーションした結果を示す。LDD領域のシート抵抗が $20 \text{ k}\Omega/\square$ 以下でOFF電流は急激に大きくなる。従って、LDD領域のシート抵抗は少なくとも $20 \text{ k}\Omega/\square$ 以上の値が必要である。一方、LDD領域のシート抵抗を $100 \text{ k}\Omega/\square$ 以上にした場合、トランジスタのON電流が低下しパネルの動作が不安定となった。従って、LDD領域のシート抵抗の範囲は、 $20 \text{ k}\Omega/\square$ 以上 $100 \text{ k}\Omega/\square$ 以下とすることが望ましい。

一般的に、バックライト輝度は最大 $5000 \text{ cd}/\text{m}^2$ 程度であり、その場合、光伝導電流を 10 pA 以下に抑えるための空乏層幅 W_d を求めると以下のようなになる。即ち、前記(10)式に $W = 4$ 、 $B = 5000$ 、 $I_{off} = 10 \times 10^{-12}$ を代入することにより空乏層幅を求めることができ、 $W_d = 0.4 \mu\text{m}$ となる。

前記空乏層幅は、LDD領域の長さ以上にならないので、LDD領域の長さ ΔL を $0.4 \mu\text{m}$ 以下とすることにより実効的な空乏層領域が $0.4 \mu\text{m}$ 以下となり、光伝導電流を抑制 (10 pA 以下と) した構成とすることができる。尚、LDD領域が $0.1 \mu\text{m}$ より小さくなると電界緩和効果がなくなり、図2(b)に示すように、OFF電流が増大するので、前記LDD領域は $0.1 \mu\text{m}$ より大きい方が望ましい。

また、上記(10)式において、バックライト輝度 B が、例えば $2000 \text{ cd}/\text{m}^2$ の場合には、空乏層幅 W_d は $1 \mu\text{m}$ となる。

従って、空乏層幅は、LDD領域の長さ以上にならないので、LDD領域の長さ ΔL を $1.0 \mu\text{m}$ 以下とすることにより実効的な空乏層領域が $1.0 \mu\text{m}$ 以下となり、光伝導電流を抑制することができる。より好ましくは $0.4 \mu\text{m}$ 以下とするのが良い。

また、検査工程において、LDD領域が $1.0 \mu\text{m}$ を超えるよう

なデバイスはOFF特性を満足できない。従って、LDD領域の長さ ΔL が $1.0\mu m$ 以下であるものを良品とする検査工程を行うことにより、良品、不良品を選別することが可能となり、パネル工程での材料ロスを削減することができる。

- 5 また、表1に示すように、実験例1～3（即ち、前記（2）式を満たすもの）は、光照射時のOFF電流を抑制することができるが、実験例4、5（即ち、前記（6）式を満たさないもの）は、光照射時のOFF電流を抑制することができないことが確認された。

10 表1

	B (cd/m ²)	W (μm)	R (K Ω /□)	OFF 電流
実験例 1	3 0 0 0	4	5 0	○
実験例 2	5 0 0 0	2	5 0	○
実験例 3	5 0 0 0	3	3 0	○
実験例 4	3 0 0 0	4	8 0	×
実験例 5	5 0 0 0	4	5 0	×

- このようにして、前記（6）式により、新たに制御できる因子（ドレイン領域のシート抵抗）とチャネル領域のチャネル幅との関係によって、光照射時のOFF電流（光伝導電流）を抑制する範囲を規定することができる。よって、上記（6）式の関係を満たす薄膜トランジスタを作製することにより、OFF電流の増加を抑えることができるので、クロストークや輝度傾斜を防ぐことができ、高性能、高信頼性を実現した薄膜トランジスタの提供をすることができる。

（実施の形態1－2）

- 20 本発明の実施の形態1－2に係る薄膜トランジスタの製造方法について説明する。

本実施の形態1－2の薄膜トランジスタは陽極酸化によって、LDD領域の長さを $0.2\mu m \sim 0.5\mu m$ と小さく形成されたもの

である。これより、ドレイン側の領域は高濃度不純物領域となるので、LDD領域の長さ以上に空乏層幅が広がることがないので、光伝導電流を抑制することができるものである。具体的な製造方法の説明を以下に説明する。図17は本発明の実施の形態1-2に係る

5 薄膜トランジスタの製造方法を示す概略断面図、図18は同じく、薄膜トランジスタの製造方法を示す概略断面図である。

前述した実施の形態1-1と同様にして、ガラス基板2上にa-Si層15を堆積させ、次いで、波長308nmのエキシマレーザーを用いたレーザーアニールによりa-Si層15の熔融再結晶化

10 (p-Si化)を行ない、多結晶シリコン層16を形成する。次いで、多結晶シリコン層16を所定形状に島化して、多結晶シリコン層3を形成する。次いで、ガラス基板2上に、多結晶シリコン層3を覆うようにして、ゲート絶縁層4を形成する。(図17(a)~(d))。

15 次いで、金属層17を製膜し、該金属層17上にフォトレジスト17aをパターン状に形成し、エッチング技術により前記金属膜17をパターニングしてゲート電極5aを形成する。次いで、ゲート電極5aの側面を陽極酸化して、酸化絶縁層5bを形成する。(図17(f))。

20 次いで、図17(g)に示すようにして、ゲート電極5aをマスクとして使用し、不純物のドーピングを行なう。具体的にはイオンドーピング法により不純物としてリンイオンをドーピングする。これにより、ゲート電極5aの直下に位置するチャネル領域3cは、不純物がドーピングされない領域となる。そして、酸化絶縁層5b・5b直下

25 下に位置する領域にLDD領域3d・3eが形成され、それらの外側にチャネル領域3a、ドレイン領域3bが形成される。

次いで、図 18 (h) ~ (j) に示すようにして、層間絶縁層 (S
i O_x) 6 を製膜し、次いで、層間絶縁層 6 及びゲート絶縁層 4 に
コンタクトホール 9 a・9 b を開口し、そして、スパッタ法により、
例えば Al などの金属層をコンタクトホール 9 a・9 b に充填し、
5 金属層の上部を所定形状にパターニングしてソース電極 7 及びドレ
イン電極 8 を形成する。こうして、TFT が作製される。

本実施の形態の陽極酸化によれば、LDD 領域の長さを 0.2 μ m
~ 0.5 μ m と小さくすることが可能である。これよりドレイン
側の領域は高濃度不純物領域となるので、本長さ以上に空乏層幅が
10 広がることがない。従って、光伝導電流を小さく抑えることがで
きる。

これにより、薄膜トランジスタの OFF 時には、前記低濃度不純
物領域がキャリアの枯渇する高抵抗層となるため OFF 電流の低減
を図ることができる。そして、前記 (2) 式より、LDD 領域の長
15 さの指針を決めることができ、OFF 電流低減のために必要以上に
LDD 領域を確保する必要はなくなる。また、前記 (2) 式は、更
に (6) 式を満たすことにより、薄膜トランジスタの ON 時には、
ゲート電極からの電界の作用により、ゲート電極下の低濃度不純物
領域はキャリアとなる電子が蓄積して低抵抗領域となり、ON 電流
20 の減少は起こらない。よって、(2) 式および (6) 式を満たす薄
膜トランジスタは、ON 電流を十分確保すると共に OFF 電流を少
なく押さえることが可能となる。

加えて、不純物ドーピングは、加速電圧が 10 kV 以上 30 kV
以下及びビーム電流密度が 0.05 μ A/cm² 以上 1 μ A/cm²
25 以下の低速でのイオンドーピング法を用いることにより、イオン
ドーピング時でのイオンの加速電圧が低いために、ドーピング時に

おける損傷を少なくすることができる。また、不純物ドーピング時でレジストをマスクとした場合でも、レジストが変質することなくきれいに除去できる。

(実施の形態 1 - 3)

5 本発明の実施の形態 3 について、図 19 ~ 図 22 を参照しながら説明する。

図 19 は本発明の実施の形態 1 - 3 に係る薄膜トランジスタを用いた C - M O S インバータの配線パターンを示す平面図であり、図 20 はその等価回路図であり、図 21 は図 19 の矢視 X - X' 断面
10 図である。

C - M O S インバータ 50 は、例えば液晶表示装置の駆動回路を構成する。この C - M O S インバータ 50 は、n チャネル T F T 22 と p チャネル T F T 23 とから構成されている。n チャネル T F T 22 は、上記実施の形態 1 の n チャネル T F T 1 と同様の構成を
15 有しており、対応する部分には同一の参照符号を付す。

p チャネル T F T 23 は、L D D 構造でない通常タイプの T F T である。即ち、T F T 23 は、ガラス基板 2 上に、多結晶シリコン層 24、S i O₂ (二酸化シリコン) から成るゲート絶縁層 4、アルミニウムから成るゲート電極 25、及び S i O₂ から成る層間絶
20 縁層 6 が、順に積層されて構成されている。多結晶シリコン層 24 は、ゲート電極 25 の直下に位置するチャネル領域 24c、チャネル領域 24c の両側に配置されるソース領域 24a (p + 層) 及びドレイン領域 24b (p + 層) とから構成されている。更に、この T F T 23 には、例えばアルミニウムから成るソース電極 26 及び
25 ドレイン電極 27 が設けられている。ソース電極 26 は、ゲート絶縁層 4 及び層間絶縁層 6 に形成されているコンタクトホール 28a

を介して、ソース領域 24 a に接続されている。また、ドレイン電極 27 は、ゲート絶縁層 4 及び層間絶縁層 6 に形成されているコンタクトホール 28 b を介して、ドレイン領域 24 b に接続されている。そして、n チャンネル T F T 22 のゲート電極 5 及び p チャンネル T F T 23 のゲート電極 25 は、図 20 に示すように入力端子 30 に共通に接続されている。また、n チャンネル T F T 22 のドレイン電極 8 及び p チャンネル T F T 23 のドレイン電極 27 は、図 19 に示すように出力端子 31 に共通に接続されている。

本実施の形態 1-3 においては、n チャンネル T F T のドレイン側のみを前記実施の形態 1-1 で説明した L D D 構造とし、T F T のサイズを小さくすることができ、ソース・ドレイン間距離を 6 μ m 程度に抑えることが可能であり、ソース、ドレインの両方に L D D 領域を形成する場合に比較して約 50 % 以下のサイズとすることができ、T F T の微細化を図ることができる。

尚、n チャンネル T F T 及び p チャンネル T F T の両者とも L D D 構造とするようにしてもよい。但し、アレイ基板に占める回路面積を小さく抑えるために、n チャンネル T F T 及び p チャンネル T F T のいずれか一方のみを L D D 構造とする場合には、n チャンネル T F T 側とするのが望ましい。なぜなら、p チャンネル T F T のキャリアであるホールと、n チャンネル T F T のキャリアである電子の各移動度を比較すると、電子の方が格段に大きい。従って、p チャンネル T F T と n チャンネル T F T とに、同じ電界が印加された場合、n チャンネル T F T の方がキャリアによって受ける衝撃が大きく、そのため n チャンネル T F T の方が劣化し易い。よって、T F T の劣化を防止して信頼性の向上を図る観点からすると、n チャンネル T F T の方を L D D 構造とするのが望ましいからである。

CMOSインバータにおけるon/off時でのn-chトランジスタのバイアス状態における動作ポイントを図22に示す。このようにインバータにおけるn-chTFETにおいては、マイナス側の電源に対しゲート電極の極性は常に0Vより高い電圧で動作する。したがってマイナス側の電源は常にn-chTFETのソース電極となって作用し、出力側は常にドレイン電極となって作用する。従ってこの部分を出力側部分のみを上記構成とした回路を用いることは、アレイ基板における回路部分のしめる面積の縮小に寄与する。またこの部分での寄生容量の減少に寄与する。

10 (その他の事項)

実施の形態1-1～1-3では、1種類の濃度を有するLDD領域について説明したが、本発明はこれに限定されるものではなく、濃度差が異なる複数のLDD領域を設けるようにしてもよい。即ち、LDD領域を、チャネル領域に向かうに連れて不純物濃度が段階的に低下していく複数の接合領域から構成することによって、多段階的に不純物濃度を変化させることができるので、半導体層での電界の集中をより緩和することができる。

また、前記LDD領域はドレイン領域とチャネル領域との間のみ形成されても良く、このように構成することにより、OFF電流の低減等の効果を奏すると共に、薄膜トランジスタの面積を小さくすることが可能となる。

また、実施の形態1-1～1-3では、トップゲート型のTFETを用いて説明したが、ボトムゲート型のTFETに本発明を適用することもできる。

25 また、実施の形態1-1～1-3で説明した薄膜トランジスタは、液晶表示装置以外にも、EL装置にも適用することが可能である。

即ち、実施の形態 1-1 ~ 1-3 に記載の薄膜トランジスタをスイッチング素子として基板上に複数形成し、該基板を備えた E L 装置とすることにより、光伝導電流を抑制した構成とすることができる。

[第 2 の発明群]

5 (第 2 の発明群の概念)

本発明は、薄膜トランジスタ（以下「T F T」と称する）の O F F 電流を抑えるとともに、L D D 領域の長さを必要最小限に押さえて O N 電流の減少を抑制する構成をとることにより、高性能、高信頼性を有する T F T を実現することを目的とするものである。そこで、本発明者らは、真に必要な L D D 領域の長さを求めるために、L D D 領域部分をシミュレーションにより動作解析を行い、電界のかかる領域がどの程度かを求めた。

図 2 3 は、シート抵抗をパラメータとして L D D 領域を 0.5 μ m から 3 μ m まで変化させた場合の $V_g - I_d$ 特性をシミュレーションした結果を示すグラフである。

この結果より、 $V_g - I_d$ 特性は L D D 領域の濃度に対して大きな依存性を持つが、L D D 領域の長さに対しては依存性を持たないことが確認された。以下にこの原因について考察する。

図 2 4 にチャンネル領域と L D D 領域において、T F T を O F F 状態にした場合（ $V_g = -10$ V、 $V_d = 6$ V 時）の電界をシミュレーションした結果を示す。

前記シミュレーション結果より、電界のかかる領域はシート抵抗に依存しており、シート抵抗が 20 k Ω / \square の場合は 0.4 μ m 程度、シート抵抗が 100 k Ω / \square の場合では 1.0 μ m であることが確認できた。

従って、電界のかかる領域以上に L D D 領域を大きくしても電界

の緩和効果には効果が無く、単にトランジスタのチャンネル領域に抵抗が直列に挿入されるだけであることが解った。

また、図 2 5 は、実際の L D D 領域を持つ T F T の、L D D 領域の長さ (ΔL) と O F F 電流及び L D D 領域の長さ (ΔL) と O N 電流との関係を示すグラフである。尚、L D D 領域のシート抵抗は $100\text{ k}\Omega/\square$ である。

図 2 5 (a) に示すように、L D D 領域を $1\text{ }\mu\text{m}$ より長くしても、O F F 電流の低減効果は無く、前述したシミュレーション結果を反映している。また、図 2 5 (b) に示すように、L D D 領域が $1.5\text{ }\mu\text{m}$ より長くなると、O N 電流を十分確保することができずに O N 電流は低減した。この結果より、L D D 領域の範囲を $1\text{ }\mu\text{m}$ 以上 $1.5\text{ }\mu\text{m}$ 以下とすることにより、O N 電流を十分確保すると共に O F F 電流を小さく押さえることが可能となる。尚、以下の実施の形態では、前記シミュレーションに基づき、T F T を作製したものについて具体的に説明する。また、実際の T F T の作製工程においては、前述の L D D 領域を確実に確保するために、後に説明するが、マスク合わせの際の合わせマークにより決定することができる。

(実施の形態 2 - 1)

図 2 6 は、実施の形態 2 - 1 に係る薄膜トランジスタの簡略化した断面図、図 2 7 は、図 2 6 の概略平面図である。

本実施の形態 2 - 1 では、本発明を n チャンネル薄膜トランジスタに適用した例が示されている。この薄膜トランジスタ（以下、T F T と称する）1 0 1 は、ガラス基板 1 0 2 上に、膜厚が $500\text{ }\text{\AA}$ の多結晶シリコン層 1 0 3、膜厚が $1000\text{ }\text{\AA}$ の SiO_2 （二酸化シリコン）から成るゲート絶縁層 1 0 4、アルミニウムから成るゲート電極 1 0 5、及び SiO_2 から成る層間絶縁層 1 0 6 が順に積層

されて構成されている。前記ゲート電極 105 a は、レジスト膜 105 b に覆われて形成されている。尚、前記レジスト膜 105 b の代わりに金属膜を用いても良い。

また、前記多結晶シリコン層 103 は、ゲート電極 105 a の直下に位置するチャネル領域 103 c と、不純物濃度が高いソース領域 103 a (n+層) と、不純物濃度が高いドレイン領域 (n+層) 103 b と、不純物濃度が低い低濃度不純物領域 (LDD 領域: n-層) 103 d, 103 e とから構成されている。低濃度不純物領域 103 d は、ソース領域 103 a とチャネル領域 103 c との間に介在し、低濃度不純物領域 103 c は、ドレイン領域 103 b とチャネル領域 103 c との間に介在している。これら低濃度不純物領域 103 d, 103 e は、レジスト膜 105 b のゲート電極 105 a からはみ出た部分 105 b 1, 105 b 2 の直下に位置している。従って、低濃度不純物領域 103 d とソース領域 103 a との接合面は、レジスト膜 105 b の端面 (図 1 の左側端面) とほぼ一致しており、低濃度不純物領域 103 d とチャネル領域 103 c との接合面は、ゲート電極 105 a の端面 (図 1 の左側端面) とほぼ一致している。また、低濃度不純物領域 103 e とドレイン領域 103 b との接合面は、レジスト膜 105 b の端面 (図 1 の右側端面) とほぼ一致しており、低濃度不純物領域 103 d とチャネル領域 103 c との接合面は、ゲート電極 105 a の端面 (図 1 の右側端面) とほぼ一致している。また、本発明においては、前記低濃度不純物領域の長さ ΔL は、 $1\ \mu\text{m}$ 以上 $1.5\ \mu\text{m}$ 以下、チャネル幅 W は $5\ \mu\text{m}$ に設定されている。

また、TFT 101 には、更に、例えばアルミニウムから成るソース電極 107 及びドレイン電極 108 が設けられており、ソース

電極 107 は、ゲート絶縁層 104 及び層間絶縁層 106 に形成されているコンタクトホール 109a を介して、ソース領域 103a に接続され、また、ドレイン電極 108 は、ゲート絶縁層 104 及び層間絶縁層 106 に形成されているコンタクトホール 109b を介して、ドレイン領域 103b に接続されている。

次に、本発明の実施の形態 2-1 に係る薄膜トランジスタの製造方法を説明する。図 28、図 29 は本発明の実施の形態 2-1 に係る薄膜トランジスタの製造方法を示す概略断面図、図 30 は、本発明の実施の形態 2-1 に係る薄膜トランジスタの製造方法を示すフローチャートである。

(1) 先ず、プラズマ CVD 法により、ガラス基板 102 上に膜厚が 500 Å の a-Si 層 105 を堆積させ、次いで 400℃ で脱水素処理を行なう (図 28 (a))。この脱水素処理は、結晶化を行う際に水素の脱離による Si 膜のアブレーションの発生を防ぐことを目的としている。尚、a-Si を形成する工程はプラズマ CVD 以外でも減圧 CVD やスパッタなどのプロセスを用いることは可能である。またプラズマ CVD その他の方法を用いてポリシリコン膜を直接堆積することもできる。この場合は、後述するレーザーによるアニール工程が不要となる。

(2) 次いで、波長 308 nm のエキシマレーザーを用いたレーザーアニールにより a-Si 層 115 の熔融再結晶化 (p-Si 化) を行ない、多結晶シリコン層 116 を形成する (図 28 (b))。

(3) 次いで、多結晶シリコン層 116 を所定形状に島化して、多結晶シリコン層 103 を形成する (図 28 (c))。

(4) 次いで、ガラス基板 102 上に、多結晶シリコン層 103 を覆うようにして、ゲート絶縁層 104 となる、厚さが 1000 Å

の SiO_2 (二酸化シリコン) 層を形成する (図 28 (d))。

(5) 次いで、ゲート電極 105a となる、アルミニウムから成る金属層 117 を製膜する (図 28 (e))。

(6) 次いで、金属層 117 を所定形状にパターニングしてゲート電極 105a を形成する (図 28 (f))。

(7) 次いで、ゲート電極 105a をマスクとして使用し、第 1 回目の不純物のドーピングを行なう (図 28 (g))。具体的にはイオンドーピング法により不純物としてリンイオンをドーピングする。これにより、ゲート電極 105a の直下に位置するチャネル領域 103c は、不純物がドーピングされない領域となる。そして、多結晶シリコン層 103 のチャネル領域 103c を除く領域 A、B は、不純物がドーピングされた n 層となる。尚、この場合のドーピング加速電圧は 80 kV でビーム電流密度は $1 \mu\text{A} / \text{cm}^2$ とし、高加速で低濃度の n 型領域を作成するものである。

(8) 次いで、ゲート電極 105a を覆って、フォトレジスト 118 を製膜する (図 28 (h))。

(9) 次いで、フォトレジスト 118 をパターニングしてレジスト膜 105b を形成する (図 29 (a))。ここで、(9) の工程については、図 31 ~ 図 34 を用いて詳しく説明する。図 31 は、LD 領域を形成する工程を説明する概略断面工程図、図 32 は、フォトマスクと基板の斜視図、図 33 は同じく平面図、図 34 は、LD 領域形成後の薄膜トランジスタの概略断面図である。

図 7 に示すように、フォトマスク 140 と基板 102 とは対向するように配置され、フォトマスク 140 の上方位置には位置合わせ用光源 (図示せぬ) が配置されており、前記位置合わせ用光源よりフォトマスク 140 及び基板 102 にそれぞれ形成された位置合

せマーク 1 4 1・1 4 2 にレーザービームを入射し、それぞれの位置合わせマークの位置信号を読むことによって位置合わせを行うようにしている。

5 前記フォトマスク 1 4 0 の所定位置（フォトマスクの隅の 1 0 2 箇所）には、略正形状の位置合わせマーク 1 4 1 が形成されている。また、フォトマスク 1 4 0 の中央位置には、基板 1 0 2 に転写する遮蔽膜のパターン（図示せぬ）が形成されている。

また、ガラス基板 1 0 2 上には、前記位置合わせマーク 1 4 1 と対応する位置に、位置合わせマーク 1 4 2 が形成されている。該位置合わせマーク 1 4 2 は、周囲を黒い領域で囲まれた略正形状の透明な領域とされている。尚、図示せぬが、前記位置合わせマーク 1 4 1・1 4 2 の形状は正形状に限定されるものではなく、例えば、円形状等とすることもできる。

そして、図 3 3 (a) に示すように、フォトマスク 1 4 0 と基板 1 0 2 との位置がずれていない場合には、フォトマスク 1 4 0 に形成された位置合わせマーク 1 4 1 は、基板 1 0 2 に形成された位置合わせマーク 1 4 2 の透明な領域の中央に位置し、その状態で L D D 領域を形成した場合には、該 L D D 領域 1 0 3 d・1 0 3 e の長さ ΔL は 1. 2 5 μm となるように設定されている。

20 また、前記基板 1 0 2 とフォトマスク 1 4 0 の位置がずれ、位置合わせマーク 1 4 2 内に位置合わせマーク 1 4 1 が入っていなければ、形成される L D D 領域の長さは 1. 5 μm より大きくなることが分かり、従って、そのような場合には、位置合わせマーク 1 4 2 内に位置合わせマーク 1 4 1 が入るように基板とフォトマスクの位置を合わせるようにする。尚、前記位置合わせマーク 1 4 1 を位置
25 合わせマーク 1 4 2 の中央に合わせるようにしても、実際には、図

3 3 (b) に示すように、紙面上、左右にぶれる場合がある。しかし、本発明の場合、位置合わせ装置の精度は $\pm 0.25 \mu\text{m}$ であるので、位置合わせマーク 4 2 内に位置合わせマーク 4 1 を位置するようにすることができる。このようにして、図 3 4 に示すように、
5 形成される L D D 領域 3 d・3 e の長さを $1 \sim 1.5 \mu\text{m}$ 以内とすることができるのである。尚、位置合わせ装置の精度は、 $\pm 0.25 \mu\text{m}$ であるが、さらに精度の良い位置合わせ装置を用いれば、L D D 領域のばらつきを更に小さくすることができる。

次に、前記基板とフォトマスクの位置合わせの工程について説明
10 する。

図 3 1 (a) に示すように、ゲート電極 1 0 5 a 上に遮蔽膜となるフォトレジストを形成する。

次に、図 3 1 (b)、(c) に示すように、該フォトレジストにフォトマスク 1 4 0 を介して露光を行い、現像を行って所定のパターン状の遮蔽膜 1 0 5 b を形成する。
15

この場合、前述したように、位置合わせマーク 1 4 2 の透明部分内に位置合わせマーク 1 4 1 が入っていることを確認してから露光を行うようにする。

(10) 次いで、図 2 9 (b) に示すように、レジスト膜 1 0 5
20 b をマスクとして使用し、第 2 回目の不純物のドーピングを行なう。具体的には、イオンドーピング法により不純物としてリンイオンをドーピングする。この場合のドーピング加速電圧は 12 kV でビーム電流密度は $0.5 \mu\text{A}/\text{cm}^2$ とし、低加速で高濃度の n 型領域を作成するものである。

25 これにより、多結晶シリコン層 1 0 3 のうち、レジスト膜 1 0 5 b の直下に位置する領域を除く領域にイオンがドーピングされる。よっ

て、1回目のイオンドーピングにより不純物が既にドーピングされている領域A、Bのうち、レジスト膜105bに覆われていない領域（ソース領域103a、ドレイン領域103bに相当する）では、更に不純物がドーピングされることになり、不純物高濃度領域（n+層）となる。一方、領域A、Bのうち、レジスト膜105bに覆われている領域（低濃度不純物領域103d、103eに相当する）では、2回目のイオンドーピングによっては、不純物がドーピングされず、低濃度不純物領域（n-層）となる。こうして、ソース領域103a（n+層）とチャネル領域103cの間に、低濃度不純物領域103d（n-層）を形成し、また、ドレイン領域103b（n+層）とチャネル領域103cの間に、低濃度不純物領域103e（n-層）を形成することができる。しかも、ゲート電極105aをマスクとして第1回目のイオンドーピングを行ない、更に、レジスト膜5bをマスクとして第2回目のイオンドーピングを行なうので、ソース領域103a、低濃度不純物領域103d、103e及びドレイン領域103bを自己整合的に形成することができ、ゲート電極5とソース領域103aの重なり部分、並びにゲート電極105とドレイン領域103bの重なり部分を、考慮にいれない程度に小さく抑えることができる。よって、LDD領域の長さが1～1.5μmとした薄膜トランジスタを形成することができ、OFF電流を低くすることができると共に、ON電流の低下を可及的に抑えることができる。

(11) 次いで、層間絶縁層（SiO_x）106を製膜する（図29（c））。

(12) 次いで、層間絶縁層106及びゲート絶縁層104にコンタクトホール109a、109bを開口する（図29（d））。

(13) そして、スパッタ法により、例えばA1などの金属層を
コンタクトホール109a, 109bに充填し、金属層の上部を所
定形状にパターニングしてソース電極107及びドレイン電極10
8を形成する(図29(e))。こうして、TF T 101が作製され
る。

前記の例では、nチャネルTF Tについて説明したけれども、p
チャネルTF Tについても同様の製造プロセスにより製造すること
ができる。

前記製造方法により作成した薄膜トランジスタの電圧／電流特性
を図35に示す。更にそのOFF電流の基板面内のばらつきを図3
6に示す。

図35に示すように、本実施の形態2-1に係るTF T 101(L
3のグラフ)は、高抵抗領域であるLDD領域が $1 \sim 1.5 \mu\text{m}$ と
小さいので、安定した大きいON電流と小さいOFF電流を確保で
きた。

また、アライナのあわせ精度が向上すれば更にLDD領域の長さ
を小さくすることが可能であることは言うまでもない。また、n-
領域のキャリア濃度を大きくすることによって、電界のかかる領域
は小さくなるが、一方電界のピーク値は高くなる為に、OFF電流
は増加する。

図37にLDD領域の濃度をパラメータとした、薄膜トランジス
タの $V_g - I_d$ 特性をシミュレーションした結果を示す。

LDD領域のシート抵抗が $20 \text{ k}\Omega/\square$ 以下でOFF電流は急激
に大きくなる。従って、n-領域のシート抵抗は少なくとも 20 k
 Ω/\square 以上の値が必要である。一方、LDD領域のシート抵抗を 1
 $00 \text{ k}\Omega/\square$ 以上にした場合、トランジスタのON電流が低下しパ

ネルの動作が不安定となった。従って、LDD領域のシート抵抗の範囲は、 $20 \text{ k}\Omega/\square$ 以上 $100 \text{ k}\Omega/\square$ 以下とすることが望ましい。

加えて、最初の不純物ドーピングは、加速電圧が 10 kV 以上 30 kV 以下及びビーム電流密度が $0.05 \mu\text{A}/\text{cm}^2$ 以上 $1 \mu\text{A}/\text{cm}^2$ 以下の低速でのイオンドーピング法を用いることにより、イオンドーピング時でのイオンの加速電圧が低いために、ドーピング時における損傷を少なくすることができる。

また、1回目の不純物ドーピング時でレジストをマスクとした場合でも、レジストが変質することなくきれいに除去できる。

あるいは2回目の不純物ドーピングは加速電圧が 30 kV 以上及びビーム電流密度が $1 \mu\text{A}/\text{cm}^2$ 以上の高速でのイオンドーピング法を用い、2回目のイオンドーピング時でも十分なイオンをポリシリコンに注入することも可能である。

また、本実施の形態2-1で、TF T101を構成するLDD領域の長さ ΔL は $1 \mu\text{m}$ 以上 $1.5 \mu\text{m}$ 以下とし、ソースドレイン間電圧 V_{lc} を 6 V 、チャネル幅 W を $6 \mu\text{m}$ の条件で行っている。ところで、一般的にOFF電流は、ソース/ドレイン間の電界により決定され、 V_{lc} は、チャネル領域/LDD領域にのみ印加されるため、電界の強さは $V_{lc}/\Delta L$ と表わされる (Solid State Electron, 38, 2075 (1995))。そして、電界の強さは、次式で表される。

$$4 \times 10^6 < V_{lc} / \Delta L < 6 \times 10^6$$

そして、OFF電流は、チャネル幅 W に比例するので、前記LDD領域の長さ ΔL と前記ソースドレイン間電圧 V_{lc} とチャネル幅 W との関係を以下の式(3)に表すことができる。

$$\Delta L > (W \cdot V_{lc}) / 36 \dots (3)$$

前記 (3) 式の意味について説明する。T F T の小型化が進んだ場合には、前記 ΔL 、 W の値は小さくなり、それに伴って、ソース・ドレイン間電圧 V_{lc} は低下する。そこで、L D D 領域の長さ ΔL とソース・ドレイン間電極 V_{lc} とチャネル幅 W とを変化させた T F T の特性を表 2 に示す。

表 2

	V_{lc} (V)	ΔL (μm)	$V_{lc} / \Delta L$	W (μm)	$W \cdot V_{lc} / 36$	$3 \cdot (W / L)$	オン 電流	オフ 電流
実験例 1	6	1	$6 \cdot 10^6$	5	0.83	1.25	○	○
実験例 2	6	1.5	$4 \cdot 10^6$	5	0.83	1.25	×	○
実験例 3	3	0.5	$6 \cdot 10^6$	5	0.41	1.25	○	○
実験例 4	3	0.75	$4 \cdot 10^6$	3	0.25	0.75	○	○
実験例 5	6	2	$3 \cdot 10^6$	5	0.83	1.25	×	○
実験例 6	6	0.5	$12 \cdot 10^6$	5	0.83	1.25	○	×
実験例 7	3	1	$3 \cdot 10^6$	3	0.25	0.75	×	○

($L = 12 \mu m$ 、オン電流 ○ : オン電流確保、オフ電流 ○ : オフ電流抑制)

10

表 2 に示すように、実験例 1 ~ 5、7 (即ち、前記 (1) 式を満たすもの) は、O F F 電流を抑制することができるが、実験例 6 (即ち、前記 (3) 式を満たさないもの) は、O F F 電流を抑制することができない。

15 また、前記チャネル領域のチャネル幅を W とした場合、L D D 領域の長さ ΔL とチャネル領域のチャネル幅 L とチャネル幅 W との関係は、下記 (4') 式で表すことができる。

$$\Delta L < 3 \cdot (W / L) \dots \dots (4')$$

前記 (4) 式は、O N 電流の制限を示すものであり、O N 電流は W / L に比例することにより導かれる条件であり、O N 電流の条件は、 $W / L = 0.5$ で ΔL が $1.5 \mu m$ 以下で減少する実験結果より導かれたものである。そして、表 1 に示すように、前記 (4) 式

を満たす実験例 1、3、4、6 は、ON 電流を確保することができた。

尚、上記 (4') 式よりもさらに ON 電流を確保するための好ましい条件として、下記 (4) 式により、ON 電流を確保することができる。

$$\Delta L < 1.5 \cdot (W / L) \dots \dots (4)$$

このように、薄膜トランジスタの OFF 時には、前記低濃度不純物領域がキャリアの枯渇する高抵抗層となるため OFF 電流の低減を図ることができる。そして、前記 (3) 式より、LDD 領域の長さの指針を決めることができ、OFF 電流低減のために必要以上に LDD 領域を確保する必要はなくなる。また、前記 (3) 式は、更に (4) 式を満たすことにより、薄膜トランジスタの ON 時には、ゲート電極からの電界の作用により、ゲート電極下の低濃度不純物領域はキャリアとなる電子が蓄積して低抵抗領域となり、ON 電流の減少は起こらない。よって、(3) 式および (4) 式を満たす薄膜トランジスタは、ON 電流を十分確保すると共に OFF 電流を小さく押さえることが可能となる。

尚、前記チャネル幅は 5 μm で行っているが、チャネル領域のチャネル幅 W を微細化し、2 μm 以下とする場合には、特に、前記関係式 (3) 式、(4) 式は薄膜トランジスタを作製する上での有効な指針となる。

(実施の形態 2 - 2)

本実施の形態 2 - 2 では、前記実施の形態 2 - 1 の製造工程において、レジスト膜 105b を形成する場合に、前記位置合わせマークを用いて LDD 領域の長さを 1 μm 以上 1.5 μm 以下とせずに、LDD 領域の長さが 1 μm 以上 1.5 μm 以下の条件を満たしてい

るものを良品とする検査工程によって、LDD領域を前記範囲内とする薄膜トランジスタを得ることができる。従って、ON電流を十分確保すると共にOFF電流を小さく押さえることが可能となる。尚、本実施の形態2-2では、LDD領域を $1\mu\text{m}$ 以上 $1.5\mu\text{m}$ 以下に限定するものではなく、前記実施の形態2-1で説明した(3)式、(4)式の範囲とすることができる。

(その他の事項)

前記実施の形態2-1、2-2では、1種類の濃度を有する低濃度不純物領域について説明したが、本発明はこれに限定されるものではなく、濃度差が異なる複数の低濃度不純物領域を設けるようにしてもよい。即ち、低濃度不純物領域を、チャネル領域に向かうに連れて不純物濃度が段階的に低下していく複数の接合領域から構成することによって、多段階的に不純物濃度を変化させることができるので、半導体層での電界の集中をより緩和することができる。

また、前記低濃度不純物領域はドレイン領域とチャネル領域との間にのみ形成されても良く、このように構成することにより、OFF電流の低減等の効果を奏すると共に、薄膜トランジスタの面積を小さくすることが可能となる。さらに、このような薄膜トランジスタは液晶表示装置以外への適用も可能である。

また、CMOSインバータ回路であって、pチャネル薄膜トランジスタとnチャネル薄膜トランジスタのうち、少なくともnチャネル薄膜トランジスタを、実施の形態2-1、2-2に係る薄膜トランジスタで構成することもできる。

25

産業上の利用可能性

以上に説明したように、本発明の構成によれば、本発明の課題を

十分に達成することができる。

即ち、第 1 の発明群では、ON 電流を十分確保すると共に、光照射時の光伝導電流を小さく押さえることが可能となり、消費電力が小さく、信頼性向上並びに特性向上に対して、極めてその効果は大である。

また、第 2 の発明群では、ON 電流を十分確保すると共に、OFF 電流を小さく押さえることが可能となり、消費電力が小さく、合わせて信頼性向上並びに特性向上に対して、極めてその効果が大である薄膜トランジスタを提供することができる。

10

15

20

25

請 求 の 範 囲

1. チャネル領域と、該チャネル領域の両側に配置されたソース領域およびドレイン領域とが形成された多結晶シリコン半導体層を
5 有し、

前記チャネル領域と前記ドレイン領域との間には空乏層が形成され、

該空乏層の幅と前記チャネル領域に光が照射された場合に発生する光伝導電流とは比例関係を有し、前記光伝導電流を所定許容値内
10 とするために、空乏層の幅を前記比例関係に基づいて求めた値以下とした構成であることを特徴とする薄膜トランジスタ。

2. 前記ドレイン領域のシート抵抗を R ($k\Omega/\square$)、前記チャネル領域のチャネル幅を W (μm) とした場合、式(1)の関係を
15 満たすことを特徴とする請求項1に記載の薄膜トランジスタ。

$$(R + 30) \cdot W < A \quad \dots (1)$$

3. 前記ドレイン領域のシート抵抗を R ($k\Omega/\square$)、前記チャネル領域のチャネル幅を W (μm) とした場合、式(2)の関係を
20 満たすことを特徴とする請求項2に記載の薄膜トランジスタ。

$$(R + 30) \cdot W < 1 \times 10^3 \quad \dots (2)$$

4. 前記チャネル領域のチャネル幅 W が $2\mu m$ 以下であることを特徴とする請求項3に記載の薄膜トランジスタ。

25

5. 前記ドレイン領域のシート抵抗が $20k\Omega/\square$ 以上、 100

k Ω / □ 以下であることを特徴とする請求項 3 に記載の薄膜トランジスタ。

6. 前記ドレイン領域のシート抵抗が 20 k Ω / □ 以上、100 k Ω / □ 以下であることを特徴とする請求項 4 に記載の薄膜トランジスタ。

7. チャネル領域と、該チャネル領域の両側にソース領域およびドレイン領域とが配置された多結晶シリコン半導体層を有し、液晶表示装置にスイッチング素子として備えられる薄膜トランジスタであって、

前記液晶表示装置を構成するバックライトの輝度を 2000 (cd / m²) 以上とする場合、前記ソース領域と前記チャネル領域との間、または前記ドレイン領域と前記チャネル領域との間の少なくともいずれか一方に、不純物濃度がソース領域およびドレイン領域よりも低い低濃度不純物領域が形成され、該低濃度不純物領域の長さ ΔL は、1.0 μ m 以下であることを特徴とする薄膜トランジスタ。

8. チャネル領域と、チャネル領域の両側に配置されたソース領域およびドレイン領域とが形成され、前記ソース領域とチャネル領域との間、またはドレイン領域とチャネル領域との間の少なくともいずれか一方に、不純物濃度がソース領域およびドレイン領域よりも低い低濃度不純物領域が形成された多結晶シリコン半導体層を有する薄膜トランジスタであって、

前記低濃度不純物領域の長さを ΔL (μ m)、ソースードレイン

間電圧を V_{lc} (V)、前記チャネル領域のチャネル幅を W (μm) とした場合、式 (3) の関係を満たすことを特徴とする薄膜トランジスタ。

$$\Delta L > (W \cdot V_{lc}) / 36 \dots (3)$$

5

9. 前記チャネル領域のチャネル長を L (μm) とした場合、式 (4) の関係を満たすことを特徴とする請求項 8 に記載の薄膜トランジスタ。

$$\Delta L < 1.5 \cdot (W / L) \dots (4)$$

10

10. 前記チャネル領域のチャネル幅 W (μm) が $2 \mu m$ 以下であることを特徴とする請求項 9 に記載の薄膜トランジスタ。

15

11. 前記低濃度不純物領域のシート抵抗が $20 k\Omega / \square$ 以上、 $100 k\Omega / \square$ 以下であることを特徴とする請求項 9 に記載の薄膜トランジスタ。

20

12. 前記低濃度不純物領域のシート抵抗が $20 k\Omega / \square$ 以上、 $100 k\Omega / \square$ 以下であることを特徴とする請求項 10 に記載の薄膜トランジスタ。

25

13. 前記低濃度不純物領域が、ドレイン領域とチャネル領域との間にのみ形成されていることを特徴とする請求項 11 に記載の薄膜トランジスタ。

14. 請求項 1 に記載の薄膜トランジスタをスイッチング素子と

して備えた液晶パネル部と、

前記液晶パネル部に裏面側より光を供給するバックライト部と、
を備えた液晶表示装置であって、

前記ドレイン領域のシート抵抗を R ($k \Omega / \square$)、前記バックラ
5 イト部の輝度を B (cd / m^2)、前記チャネル領域のチャネル幅
を W (μm) とした場合、式 (5) の関係を満たすことを特徴とす
る液晶表示装置。

$$(R + 30) \cdot B \cdot W < C \quad \dots (5)$$

10 15. 前記ドレイン領域のシート抵抗を R ($k \Omega / \square$)、前記バ
ックライト部の輝度を B (cd / m^2)、前記チャネル領域のチャ
ネル幅を W (μm) とした場合、式 (6) の関係を満たすことを特
徴とする請求項 14 に記載の液晶表示装置。

$$(R + 30) \cdot B \cdot W < 1 \times 10^6 \quad \dots (6)$$

15

16. 薄膜トランジスタを有する基板に形成された画素電極上層
に発光層を有し、該発光層上層に対向電極が形成された EL 装置で
あって、

前記薄膜トランジスタは、請求項 1 に記載の薄膜トランジスタで
20 あり、該薄膜トランジスタのチャネル領域に照射される光強度を B
(cd / m^2) とした場合、式 (5) の関係を満たすことを特徴と
する EL 装置。

$$(R + 30) \cdot B \cdot W < C \quad \dots (5)$$

25 17. 前記ドレイン領域のシート抵抗を R ($k \Omega / \square$)、前記チャ
ネル領域に照射される光強度を B (cd / m^2)、前記チャネル

領域のチャネル幅を W (μm)とした場合、式(6)の関係を満たすことを特徴とする請求項16に記載のEL表示装置。

$$(R + 30) \cdot B \cdot W < 1 \times 10^6 \quad \dots (6)$$

5 18. 絶縁性基板上に多結晶シリコン半導体層を形成する多結晶シリコン半導体層形成工程と、

前記多結晶シリコン半導体層上にゲート絶縁膜を形成するゲート絶縁膜形成工程と、

10 前記ゲート絶縁膜上にゲート電極をパターン状に形成するゲート電極形成工程と、

前記ゲート電極の側面を酸化し、該ゲート電極の側面を覆う金属酸化膜を形成する陽極酸化工程と、

前記多結晶シリコン半導体層に前記ゲート電極をマスクとして不純物をドーピングする不純物ドーピング工程と、

15 を有する薄膜トランジスタの製造方法であって、

前記陽極酸化工程において形成される金属酸化膜の膜厚を制御して、前記不純物ドーピング工程において形成される低濃度不純物領域の長さ ΔL を $1.0 \mu\text{m}$ 以下とすることを特徴とする薄膜トランジスタの製造方法。

20

19. 絶縁性基板上に多結晶シリコン半導体層を形成する多結晶シリコン半導体層形成工程と、

前記多結晶シリコン半導体層上にゲート絶縁膜を形成するゲート絶縁膜形成工程と、

25 前記ゲート絶縁膜上にゲート電極をパターン状に形成するゲート電極形成工程と、

前記多結晶シリコン半導体層に前記ゲート電極をマスクとして不純物をドーピングする第1の不純物ドーピング工程と、

前記第1の不純物ドーピング工程により、不純物がドーピングされた半導体領域上に遮蔽膜を形成し、該遮蔽膜を異方性エッチングによりパターン状に形成する遮蔽膜形成工程と、

前記多結晶シリコン半導体層に前記遮蔽膜をマスクとして不純物をドーピングして、遮蔽膜の下部領域とそれ以外の領域で不純物濃度差が存在するようにして、ソース領域とチャネル領域との間、またはドレイン領域とチャネル領域との間の少なくともいずれか一方に、不純物濃度がソース領域及びドレイン領域よりも低い低濃度不純物領域を形成し、該低濃度不純物領域の長さを $1.0\ \mu\text{m}$ 以下とする第2の不純物ドーピング工程と、

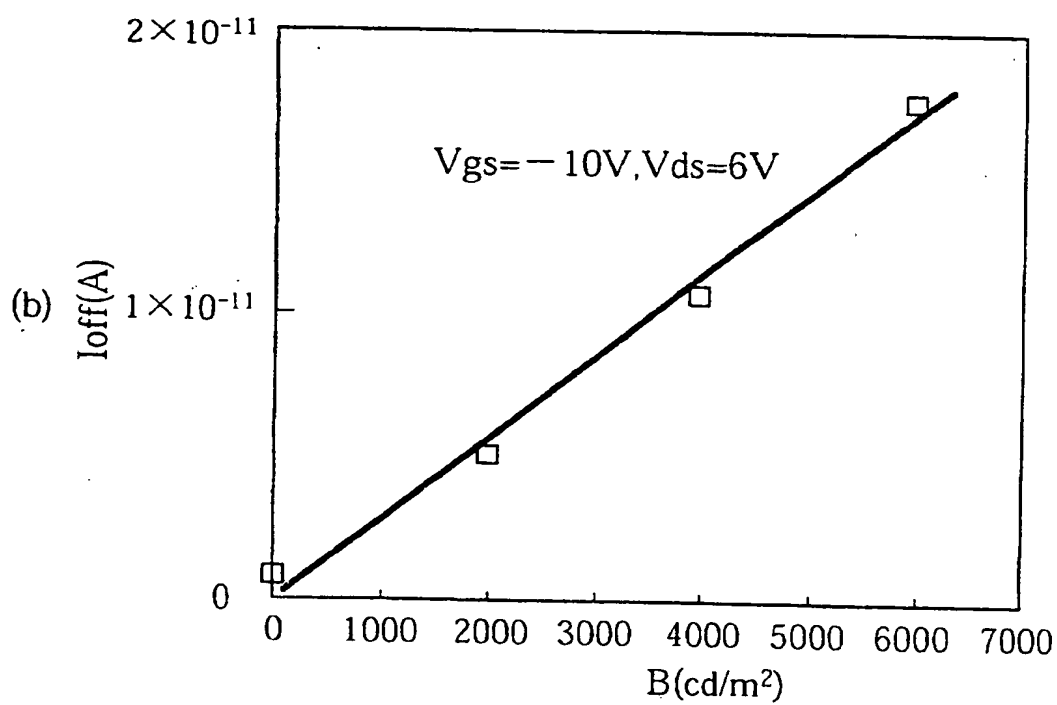
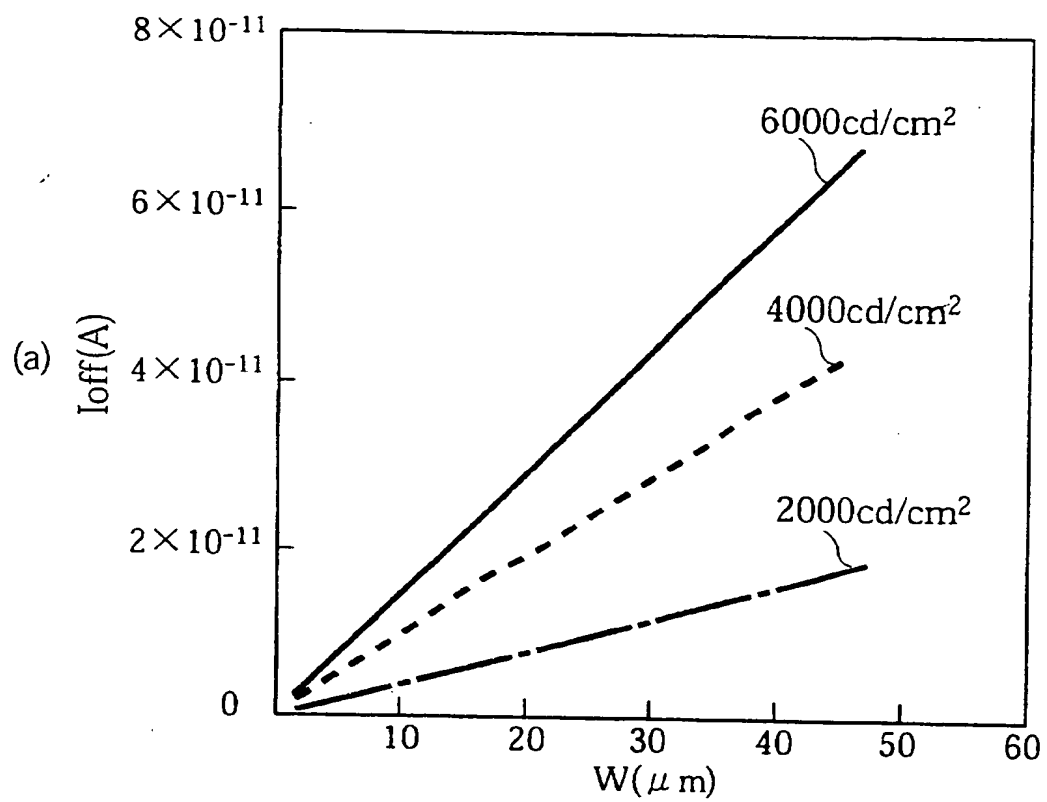
を有することを特徴とする薄膜トランジスタの製造方法。

20. 前記低濃度不純物領域の長さ ΔL が $1.0\ \mu\text{m}$ 以下のものを良品とする検査工程を含むことを特徴とする請求項19に記載の薄膜トランジスタの製造方法。

20

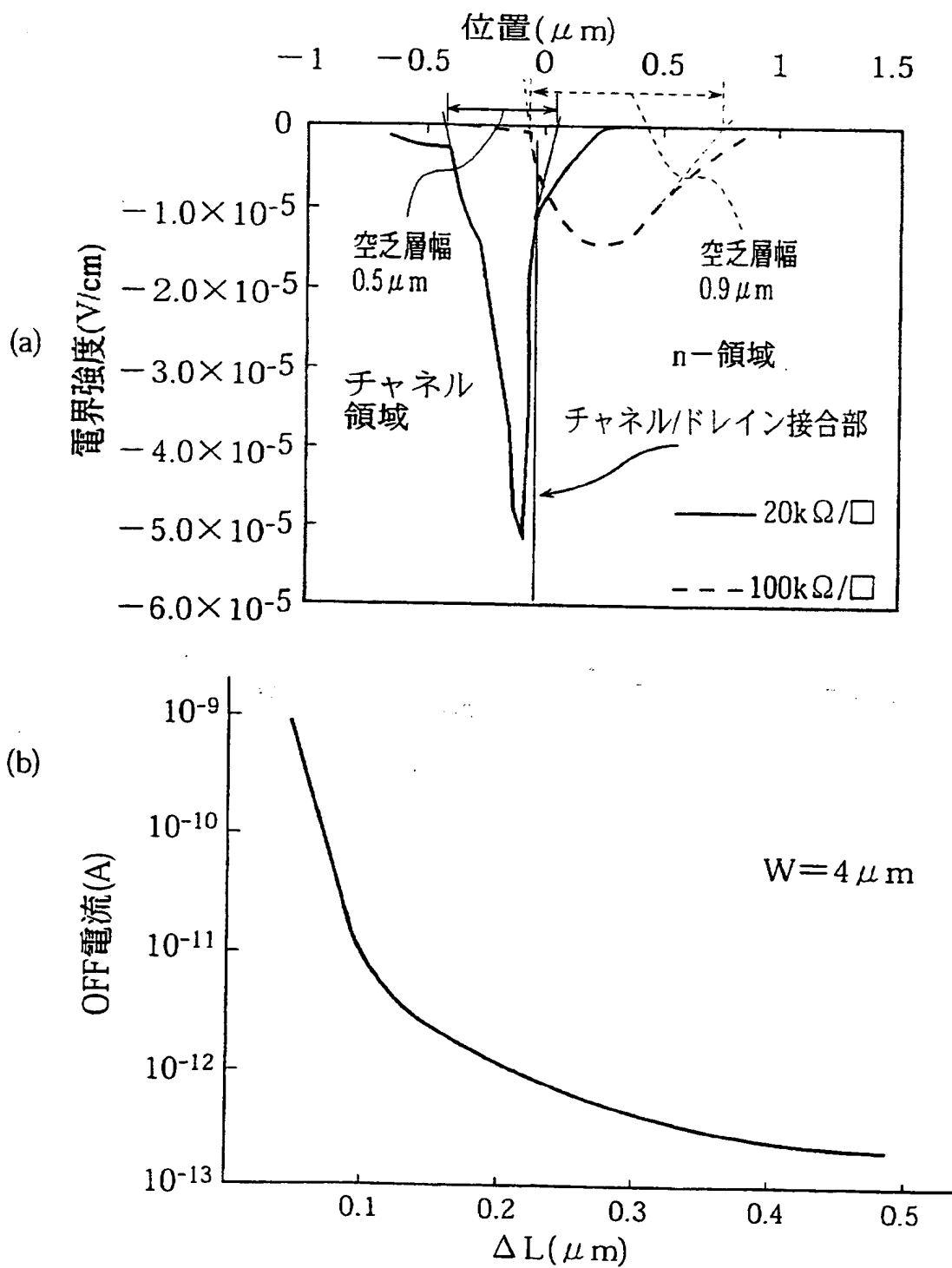
25

図1



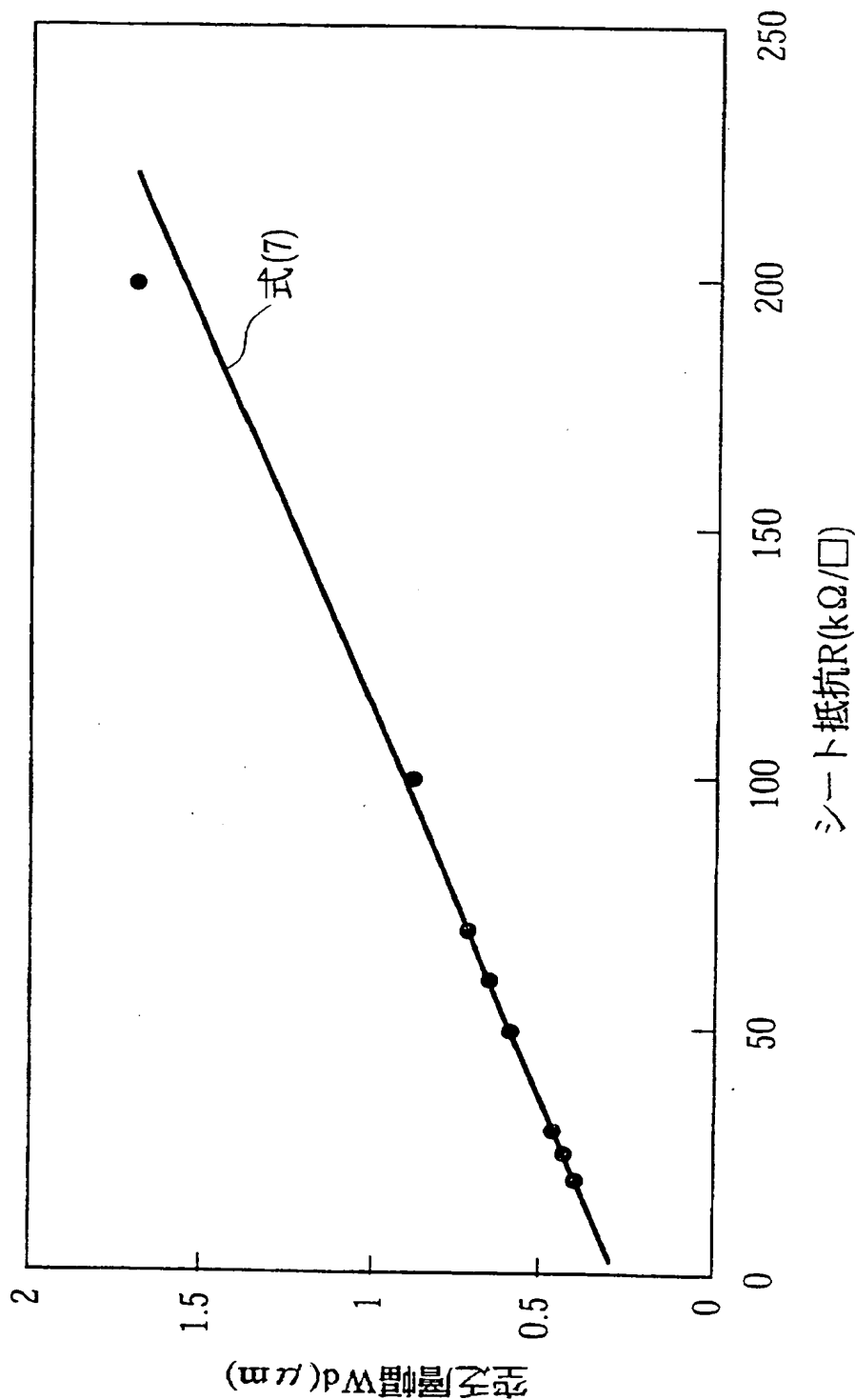
THIS PAGE BLANK (USPTO)

図2



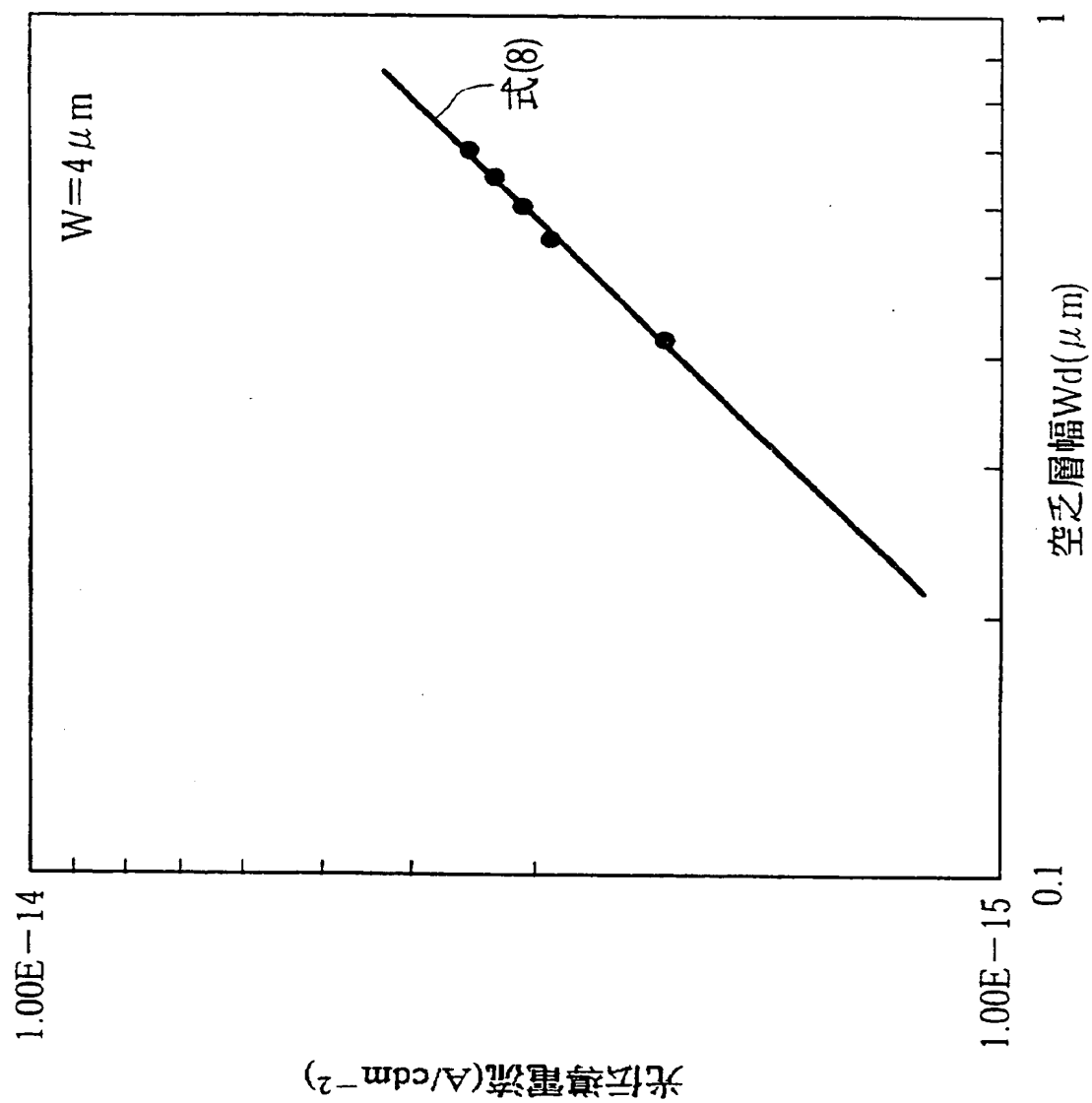
THIS PAGE BLANK (USPTO)

図3



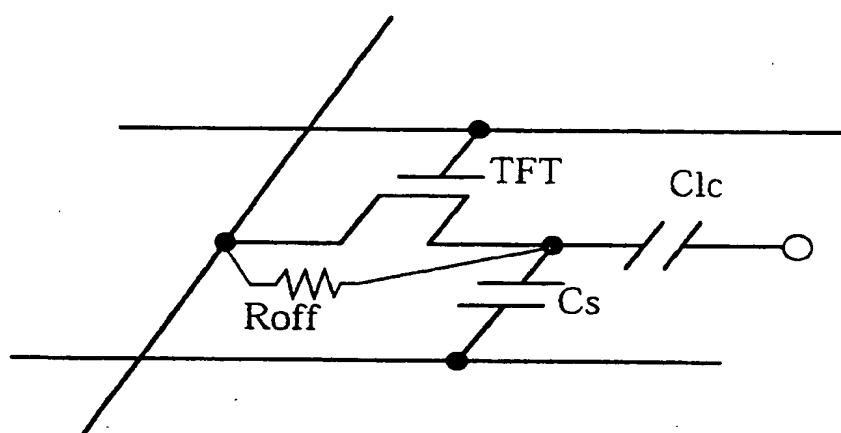
THIS PAGE BLANK (USPTO)

図4



THIS PAGE BLANK (USPTO)

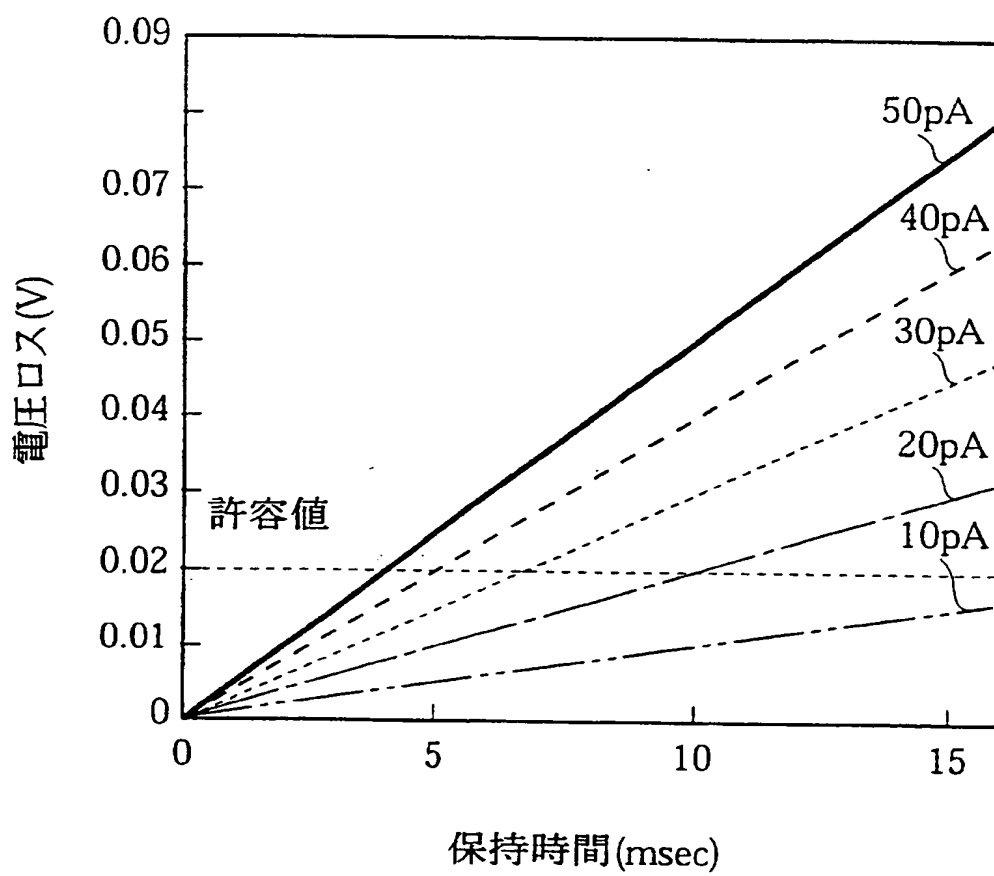
図5



R_{off} (TFTのオフ抵抗) = V_{sd}/I_{off}
 I_{off} : トランジスタのオフ電流
 V_{sd} : ソース/ドレイン電圧
 C_s : 蓄積容量
 C_{lc} : 液晶容量

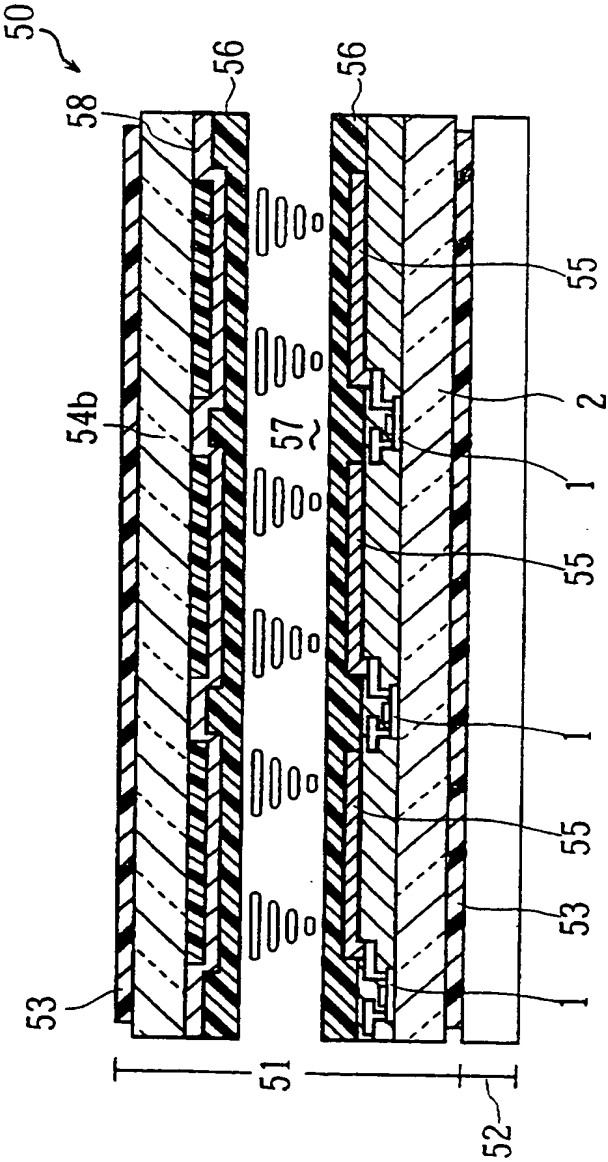
THIS PAGE BLANK (USPTO)

図6



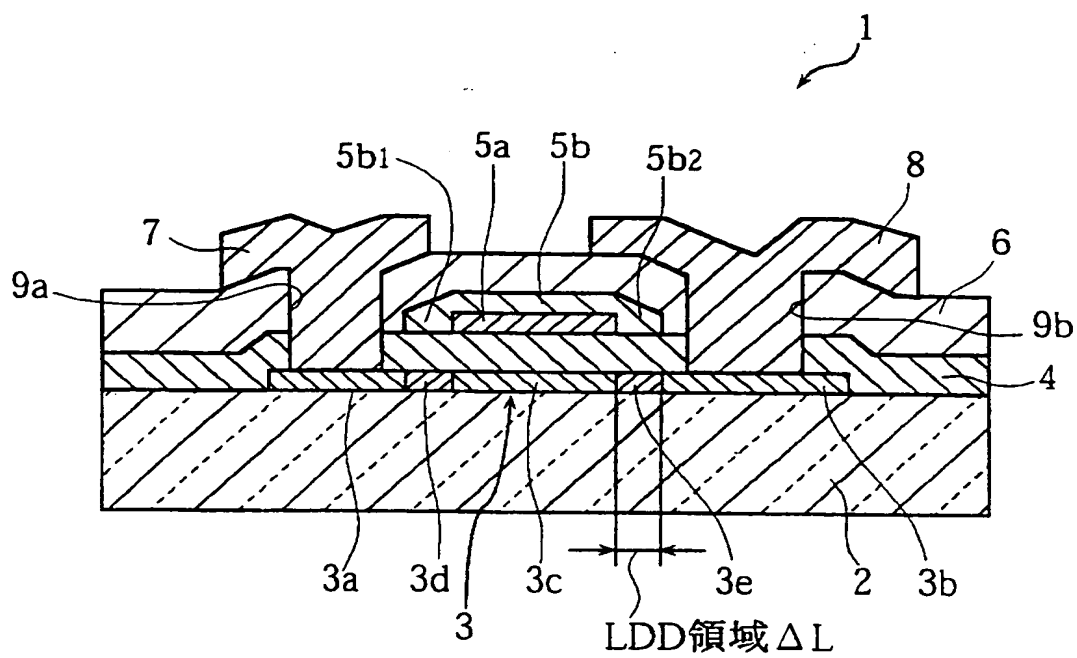
THIS PAGE BLANK (USP)

図7



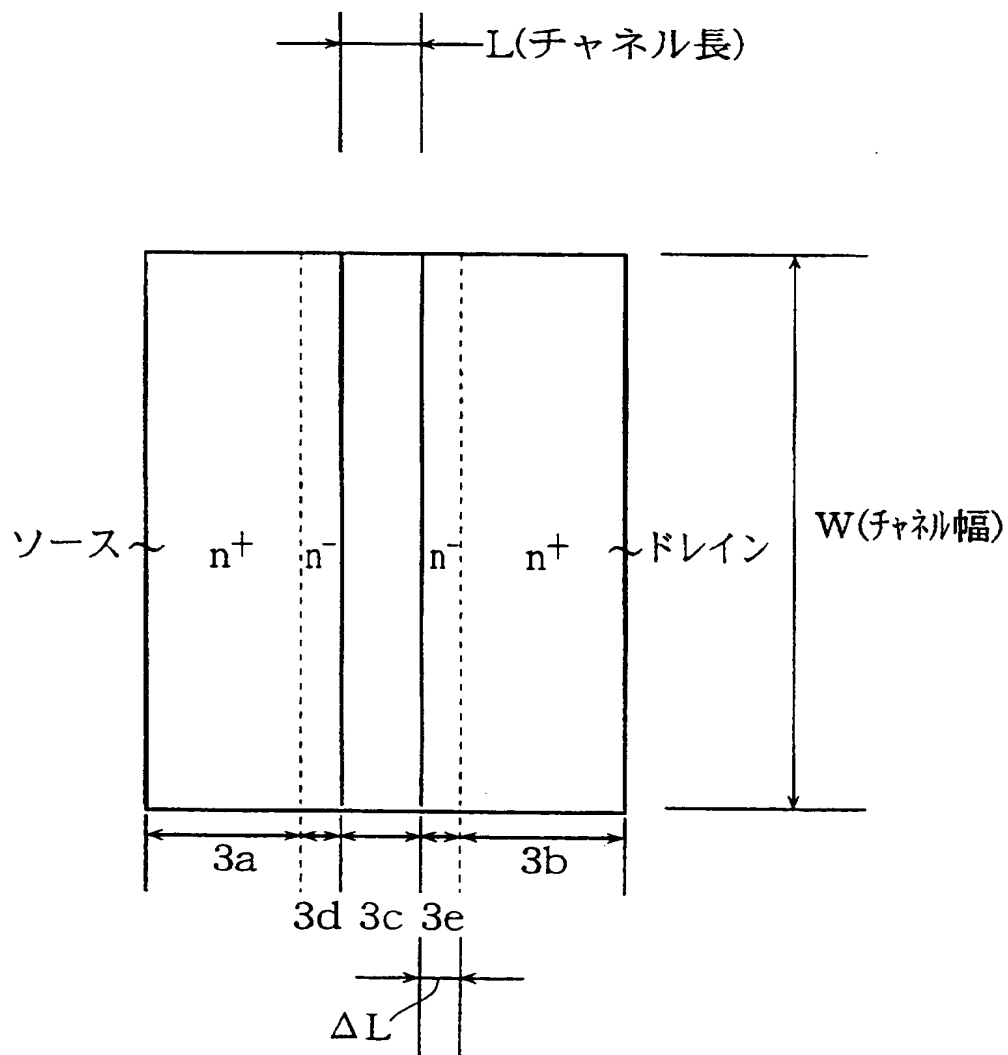
THIS PAGE BLANK (USPTO)

図8



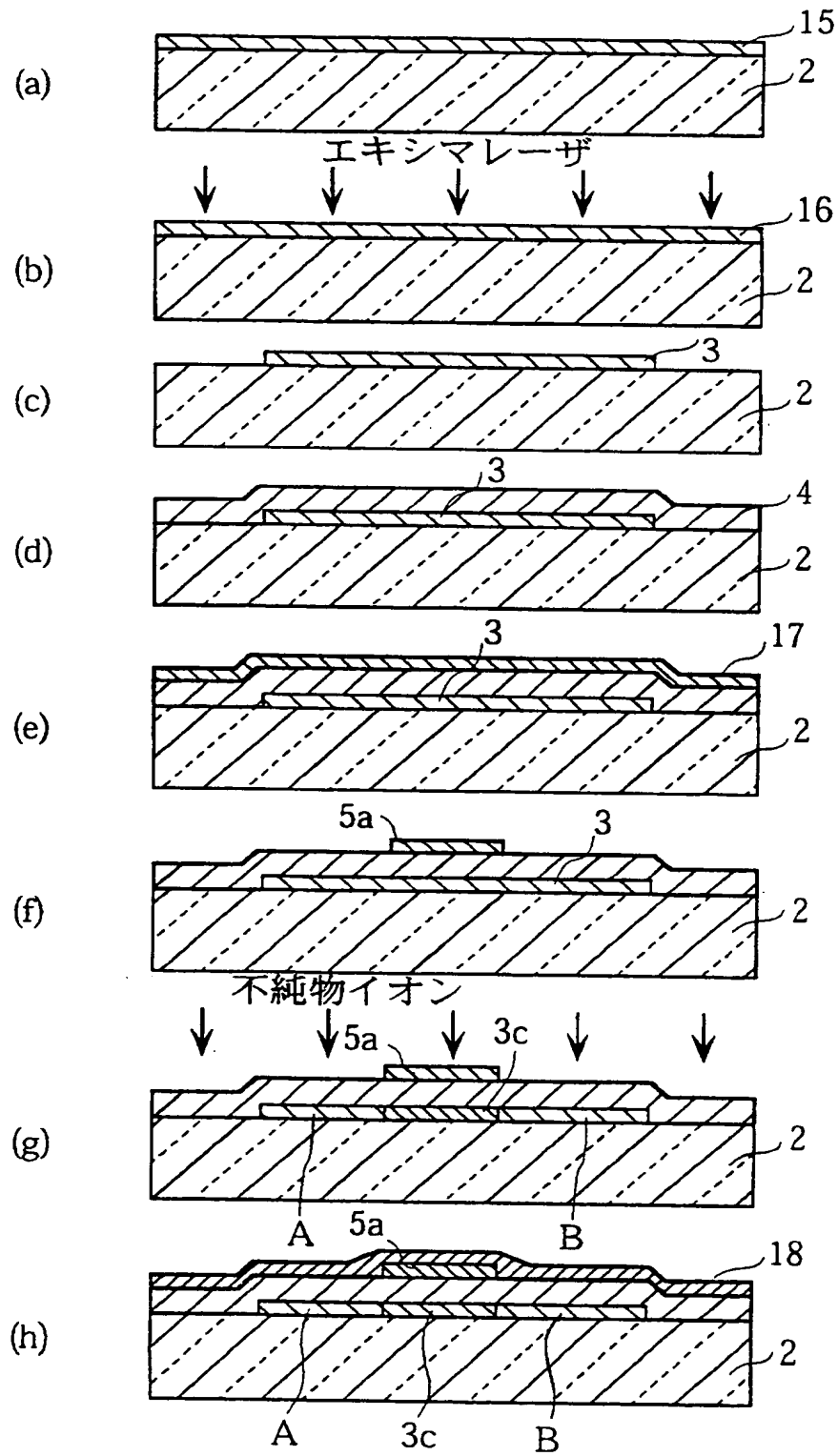
THIS PAGE BLANK (USPTO)

図9



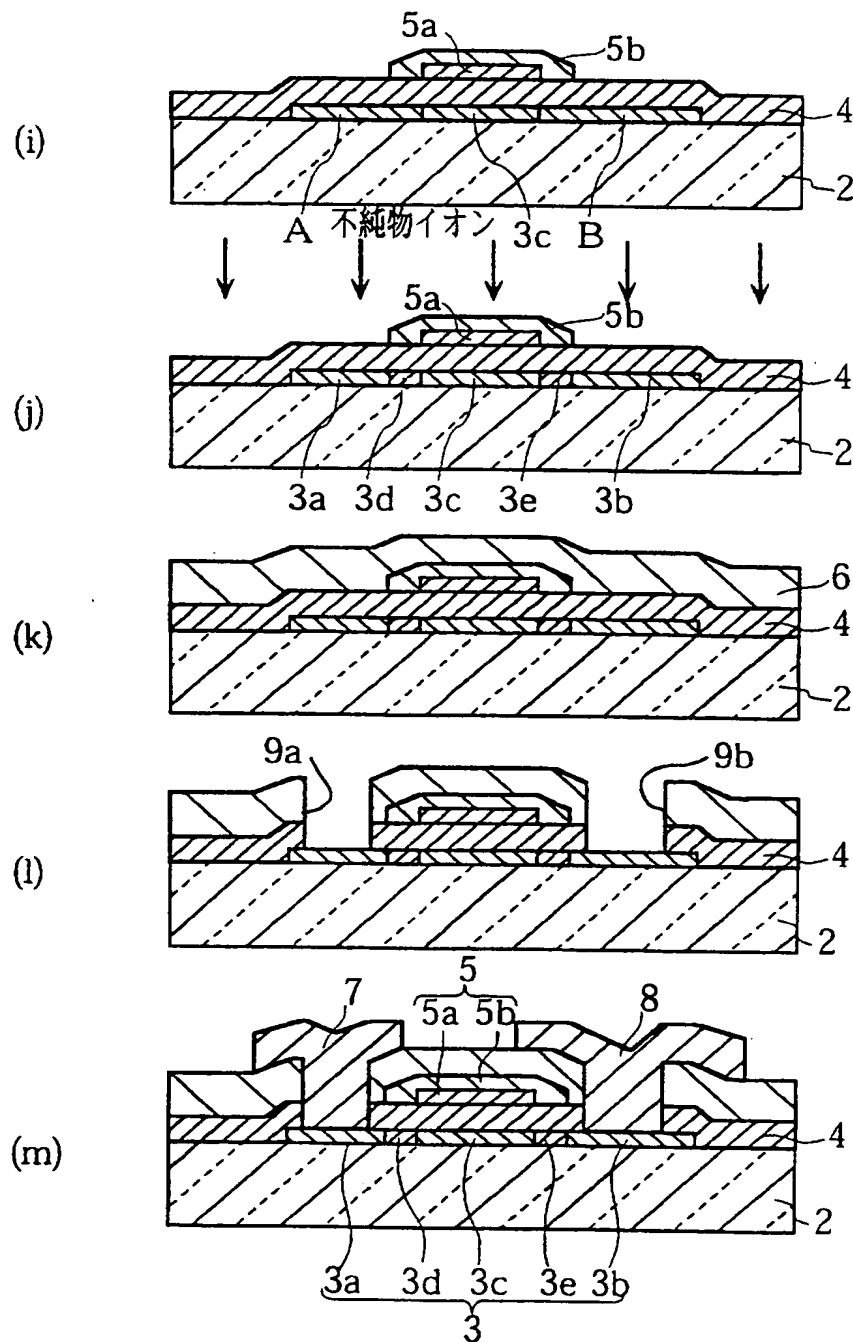
THIS PAGE BLANK (USPTO)

図10



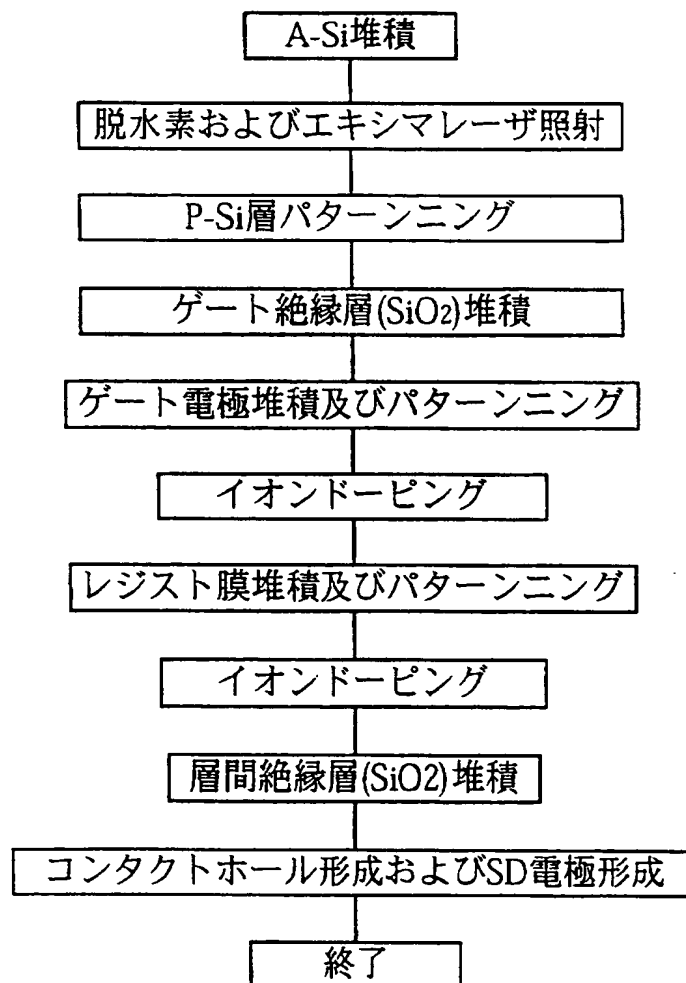
THIS PAGE BLANK (USPTO)

図11



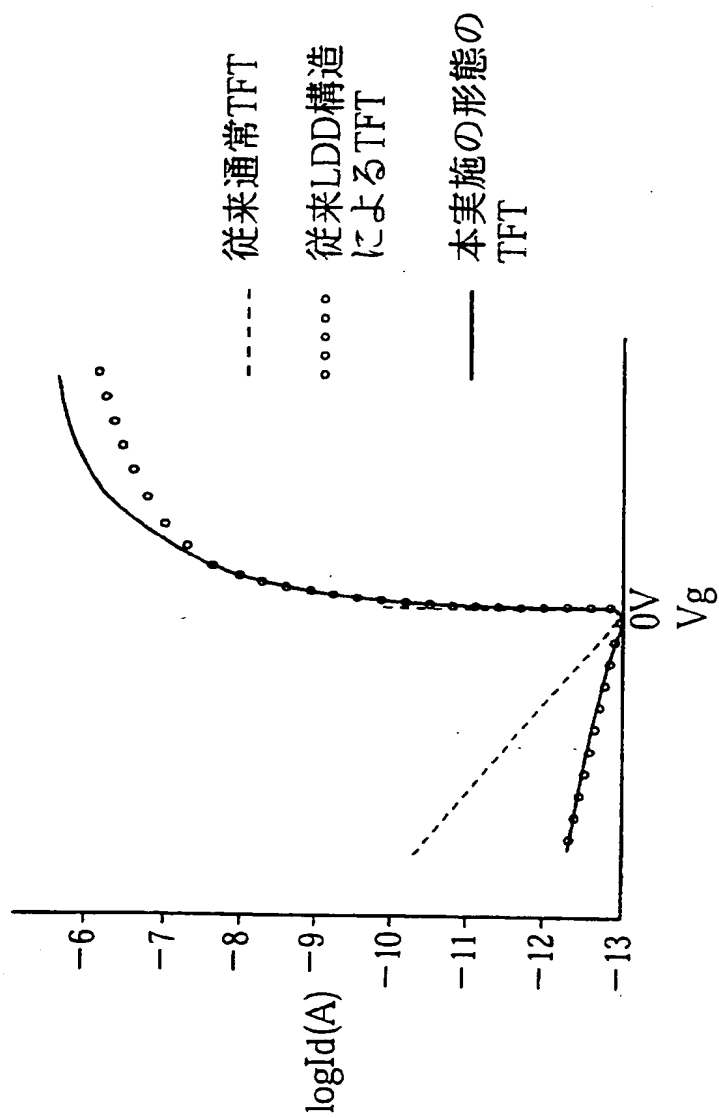
THIS PAGE BLANK (USPTO)

図12



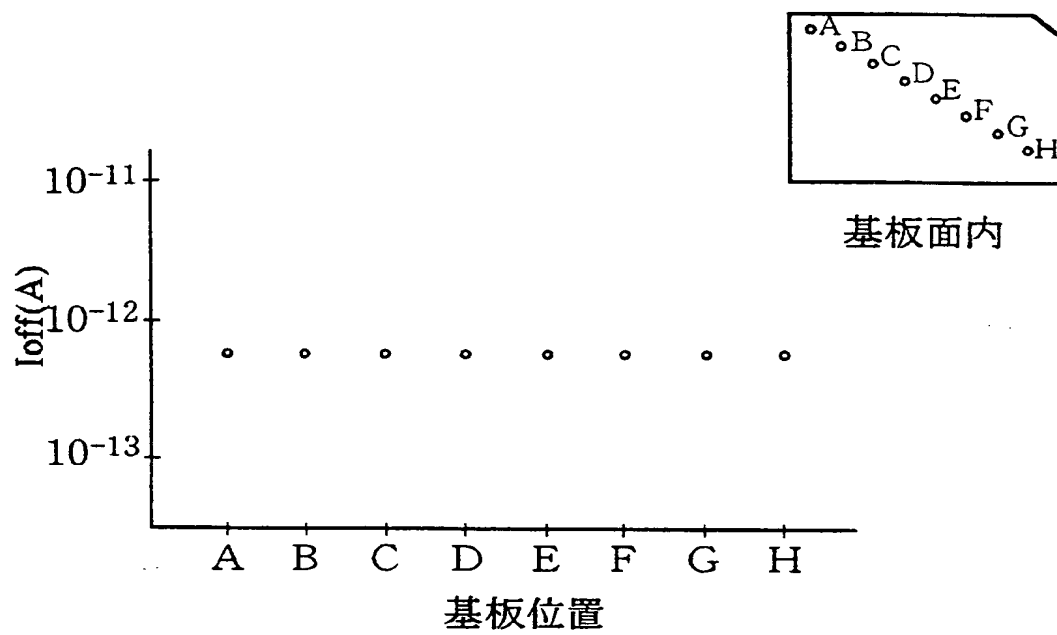
THIS PAGE BLANK (USPTO)

図13



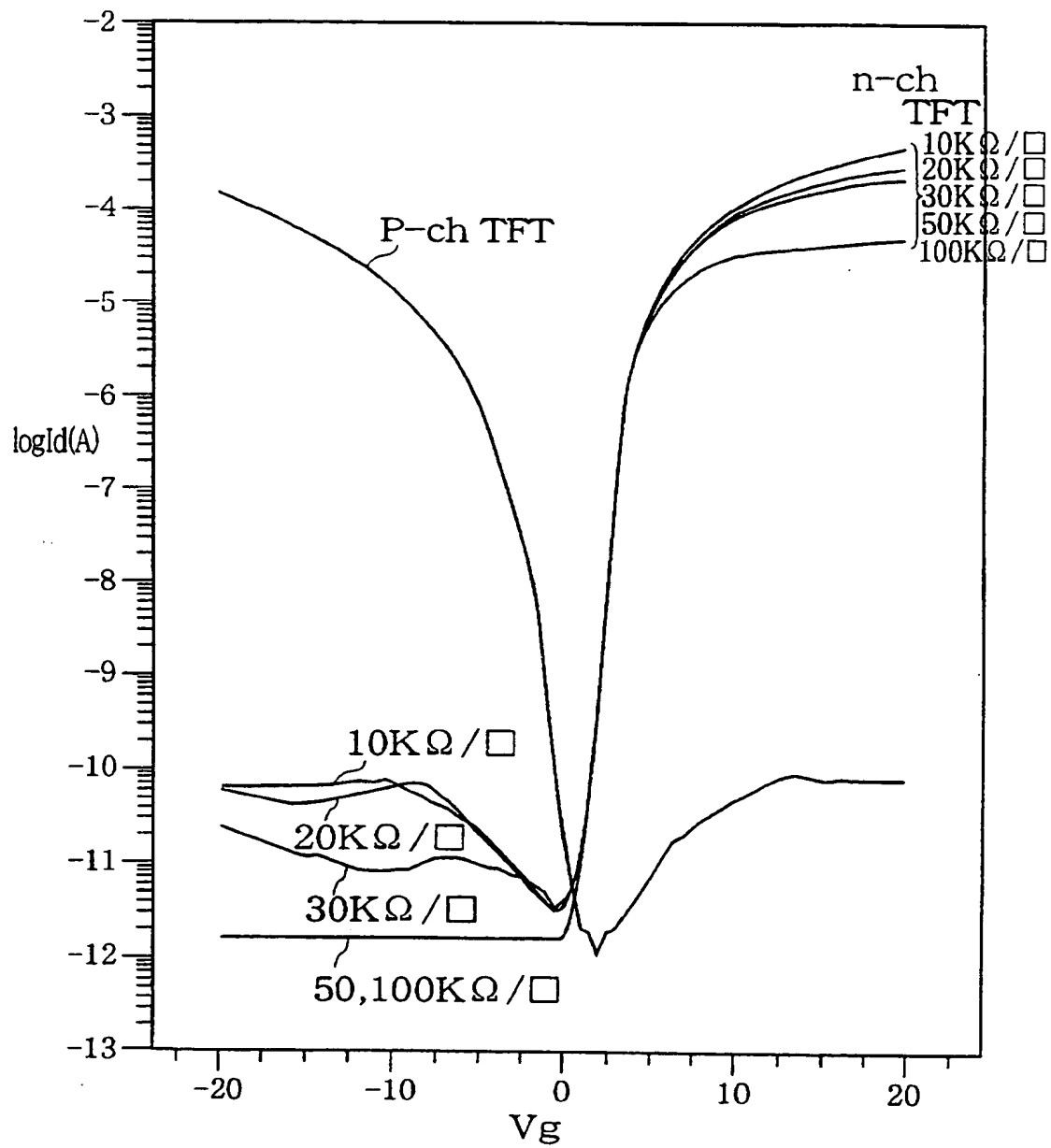
THIS PAGE BLANK (USPTO)

図14



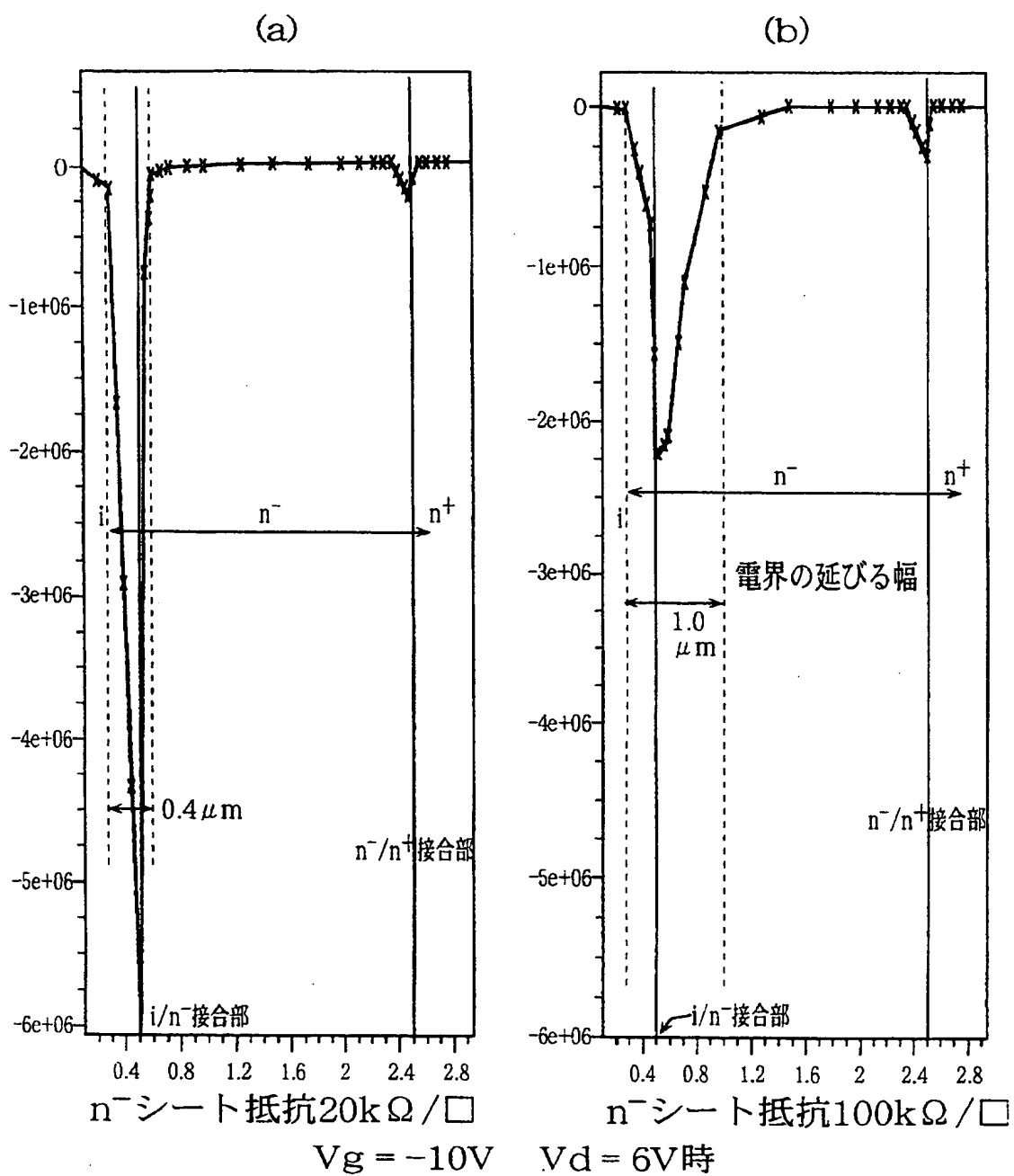
THIS PAGE BLANK (USPTO)

図15



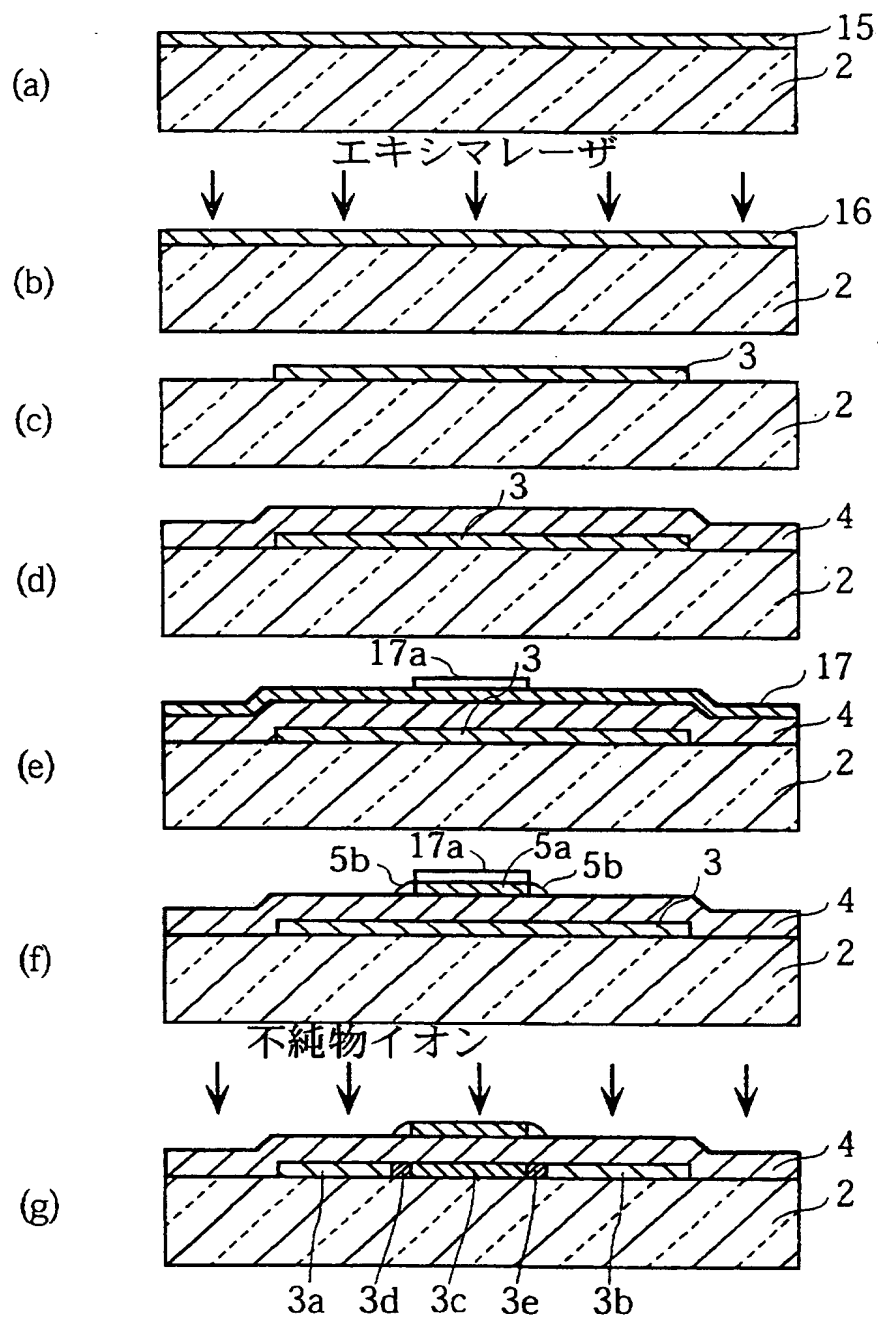
THIS PAGE BLANK (USPTO)

図16



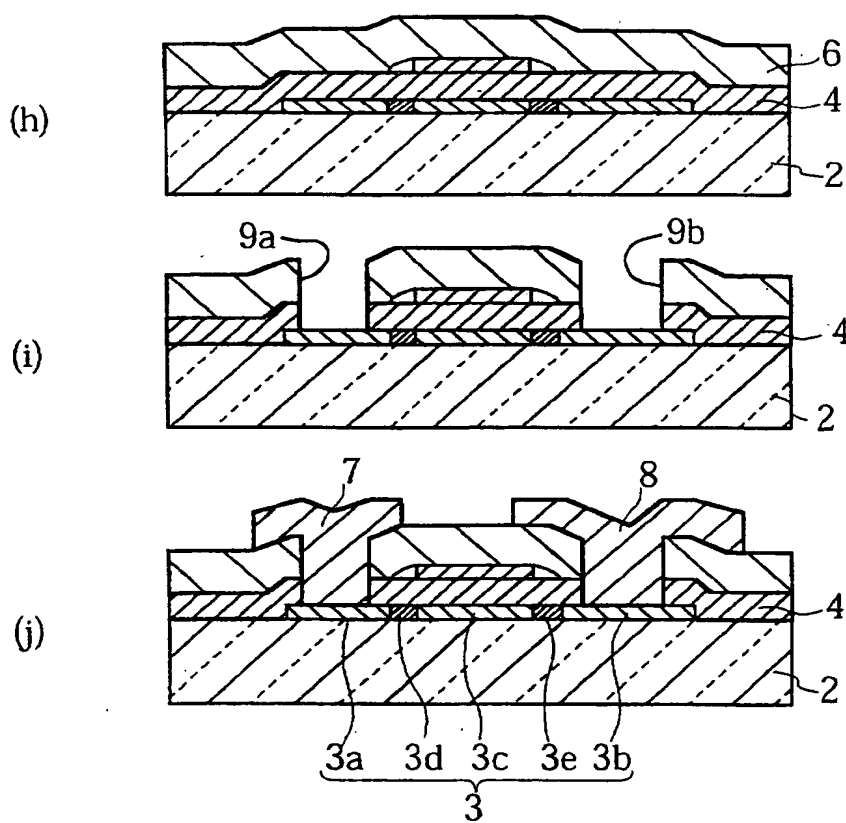
THIS PAGE BLANK (USPTO)

図17



THIS PAGE BLANK (USPTO)

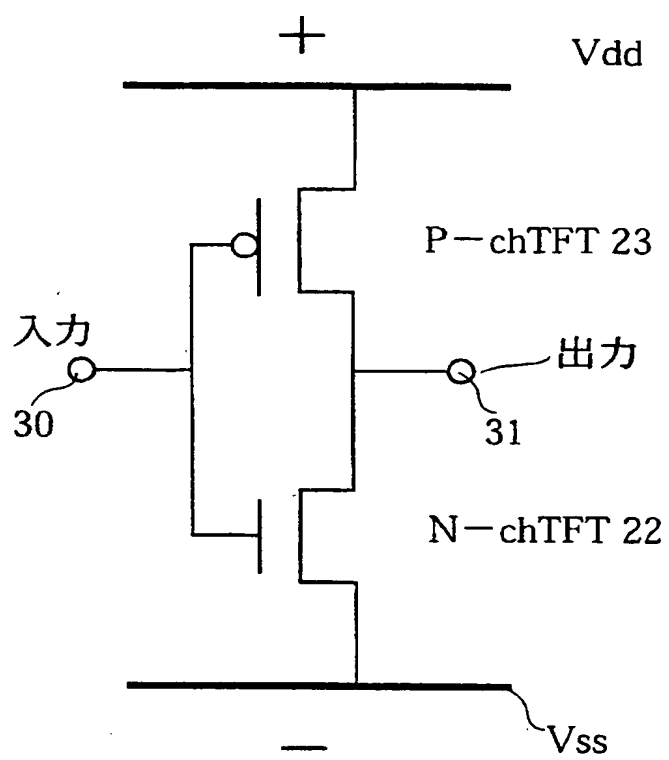
図18



THIS PAGE BLANK (USPTO)

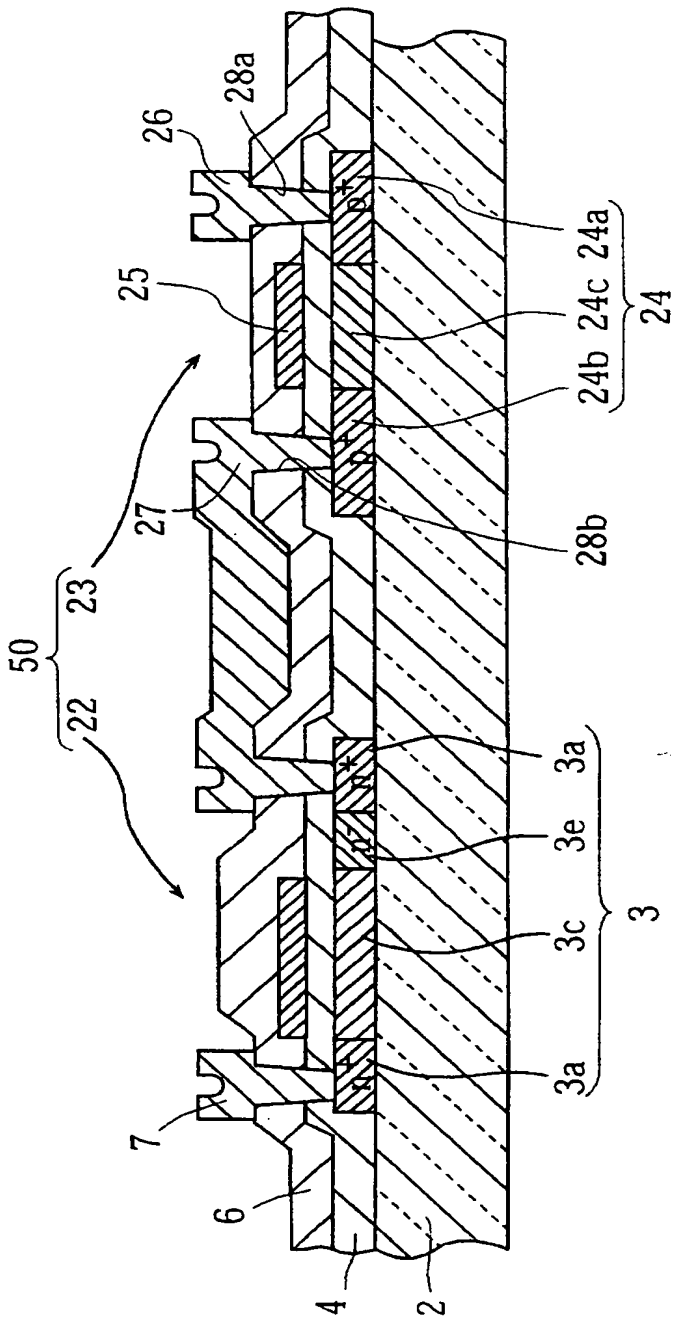
THIS PAGE BLANK (USPTO)

図20



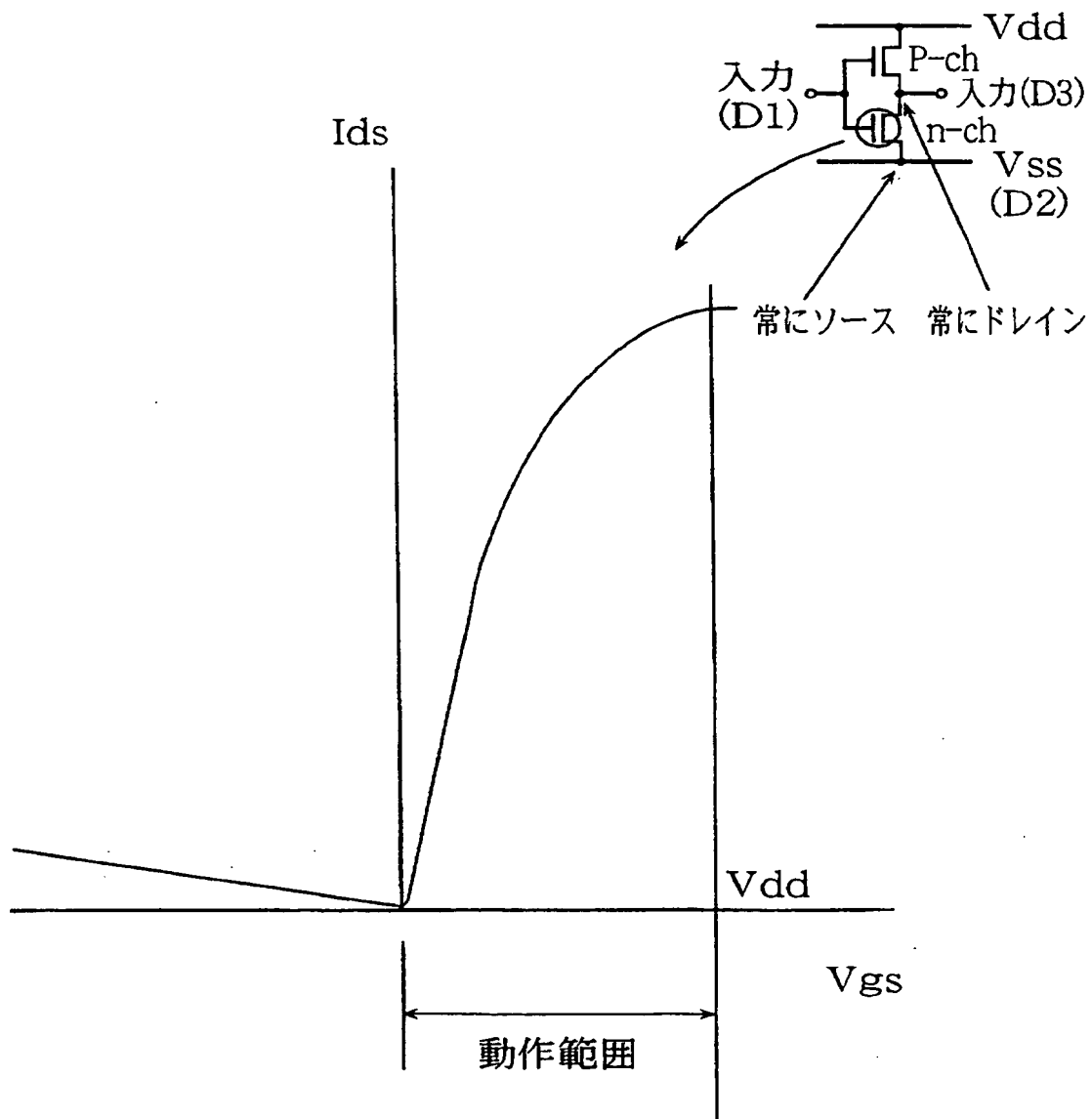
THIS PAGE BLANK (USPTO)

図21



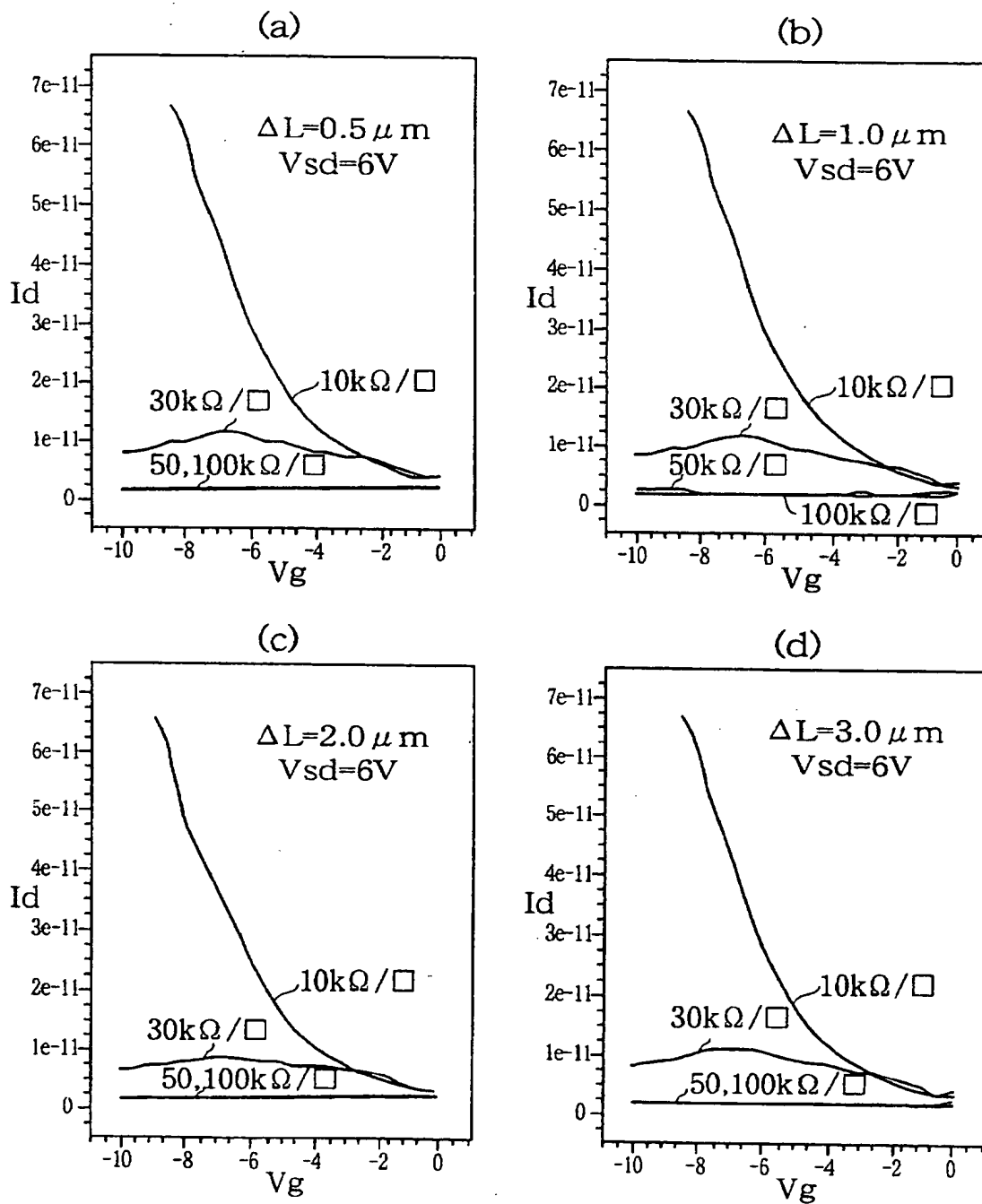
THIS PAGE BLANK (USPIC,

図22



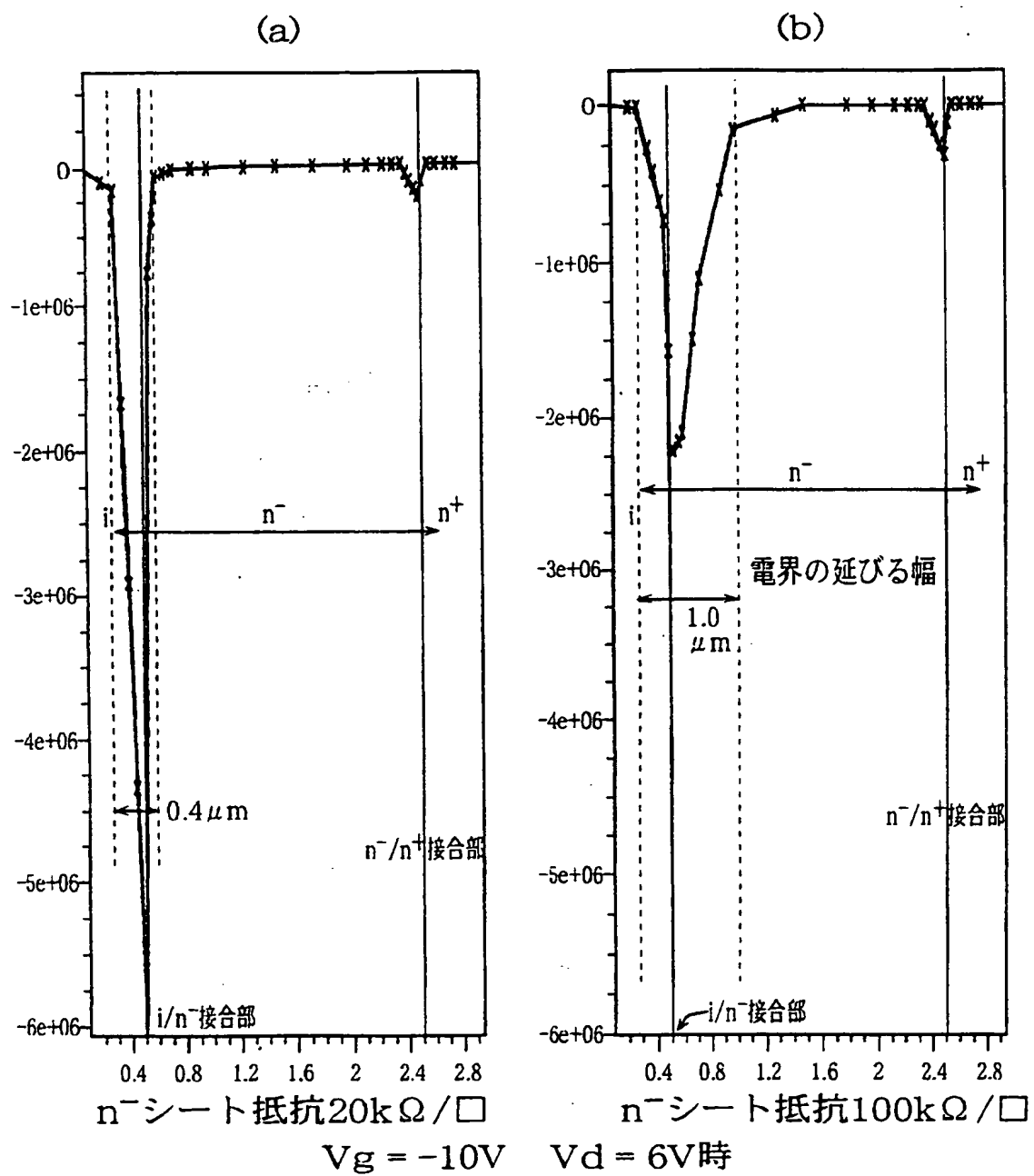
THIS PAGE BLANK (USPTO)

図23



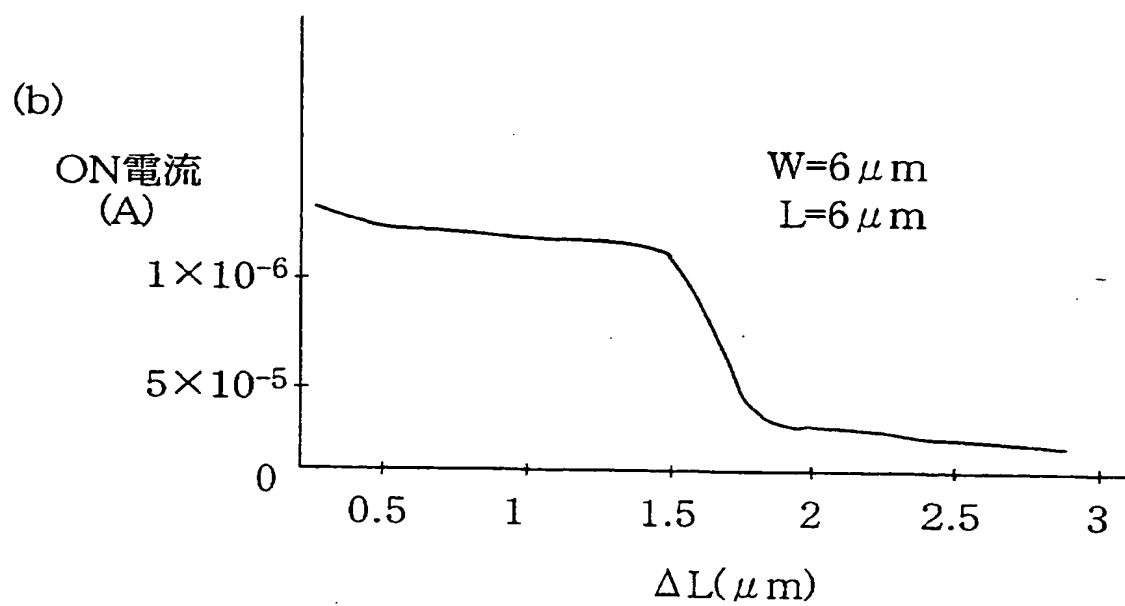
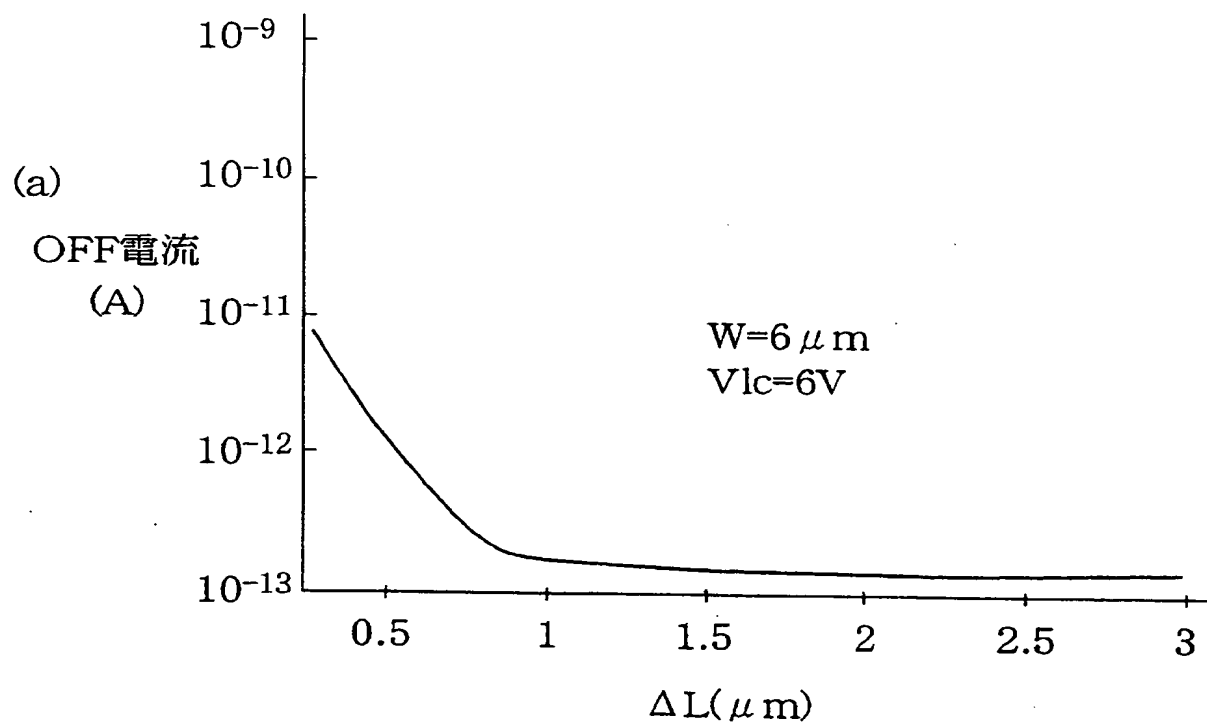
THIS PAGE BLANK (USPIC)

図24



THIS PAGE BLANK (USPTO)

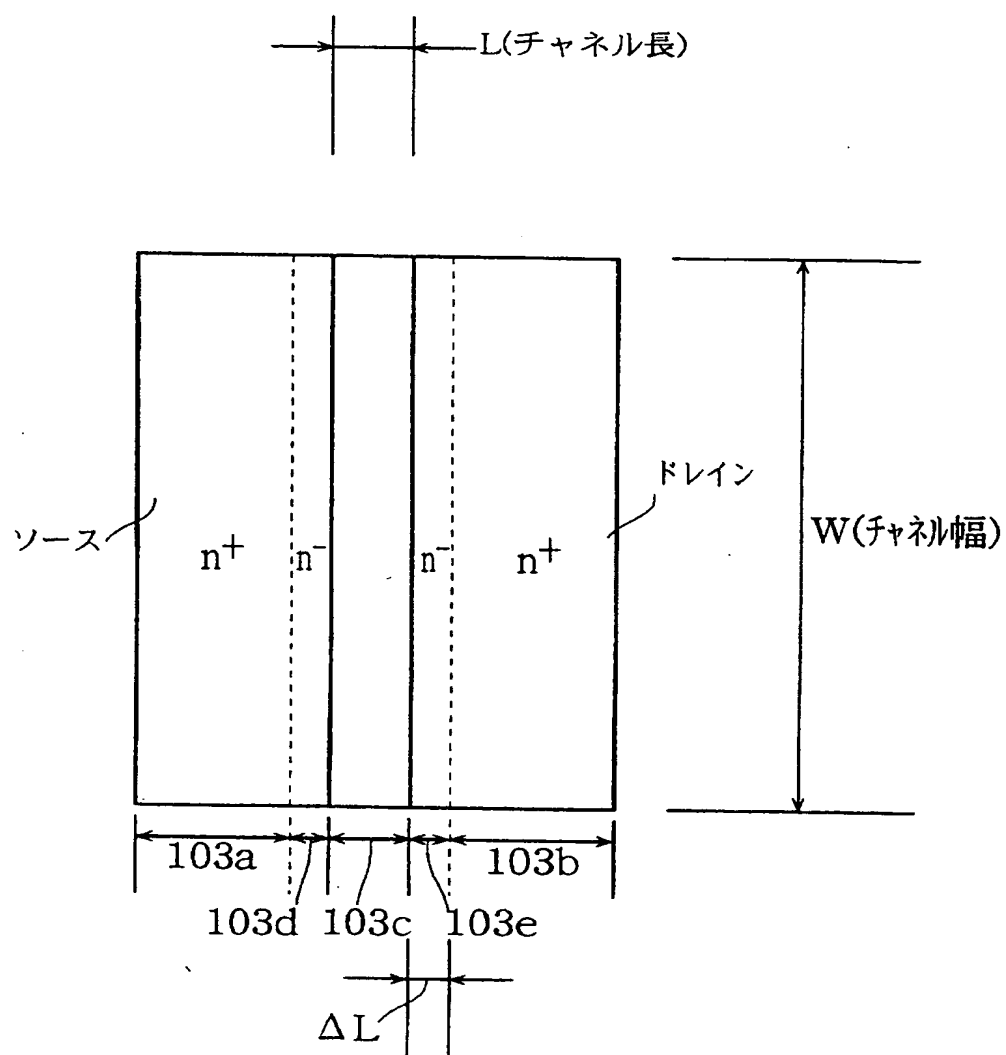
図25



THIS PAGE BLANK (USPTO,

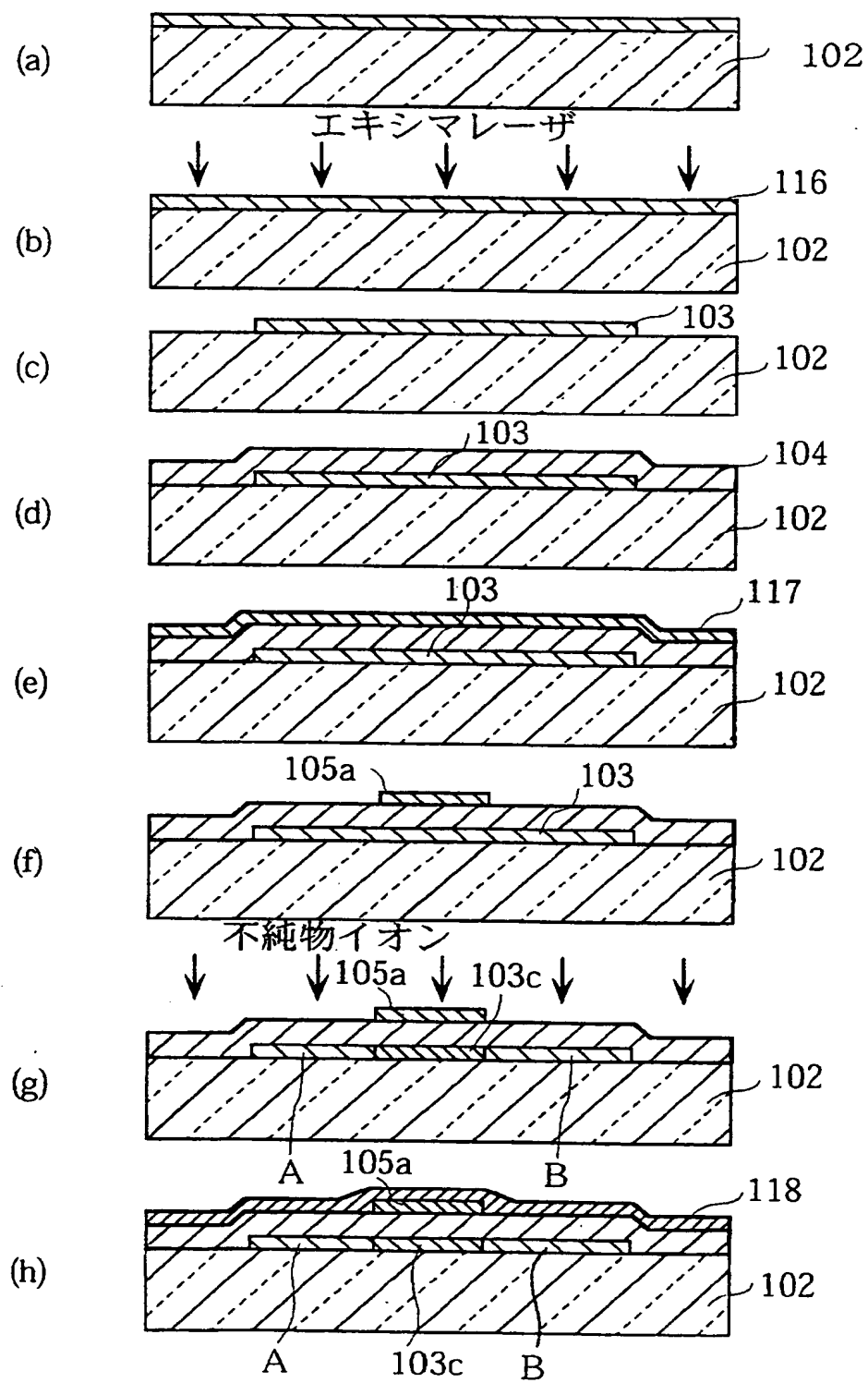
THIS PAGE BLANK (USPTO)

図27



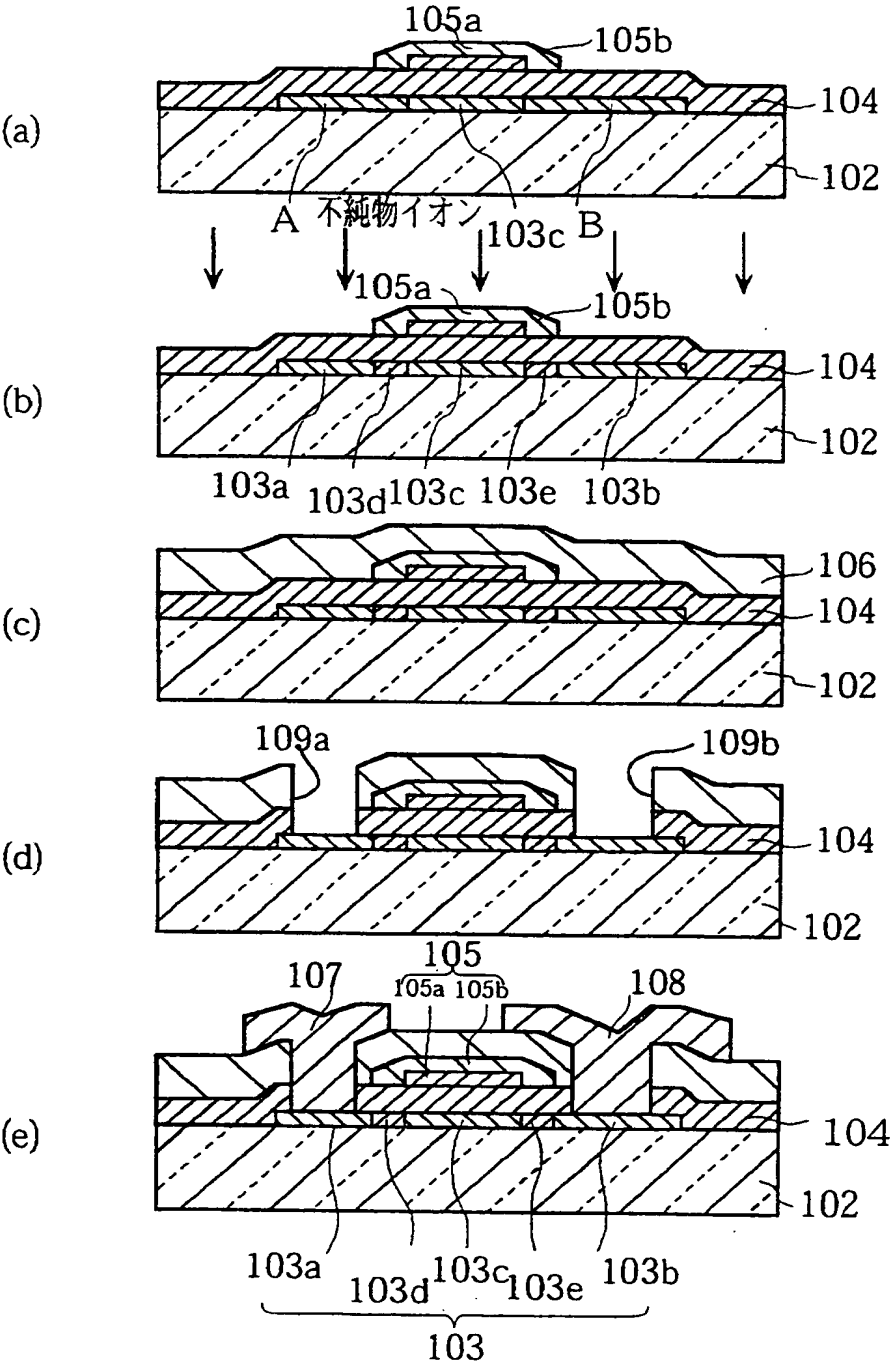
THIS PAGE BLANK (USP 15)

図28



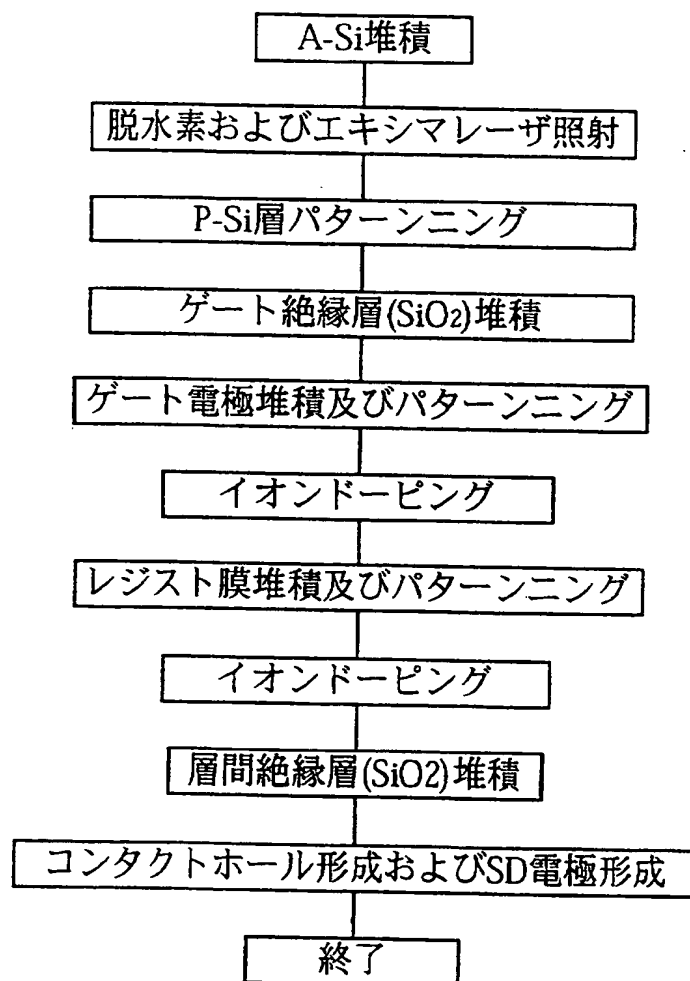
THIS PAGE BLANK (USPTO)

図29



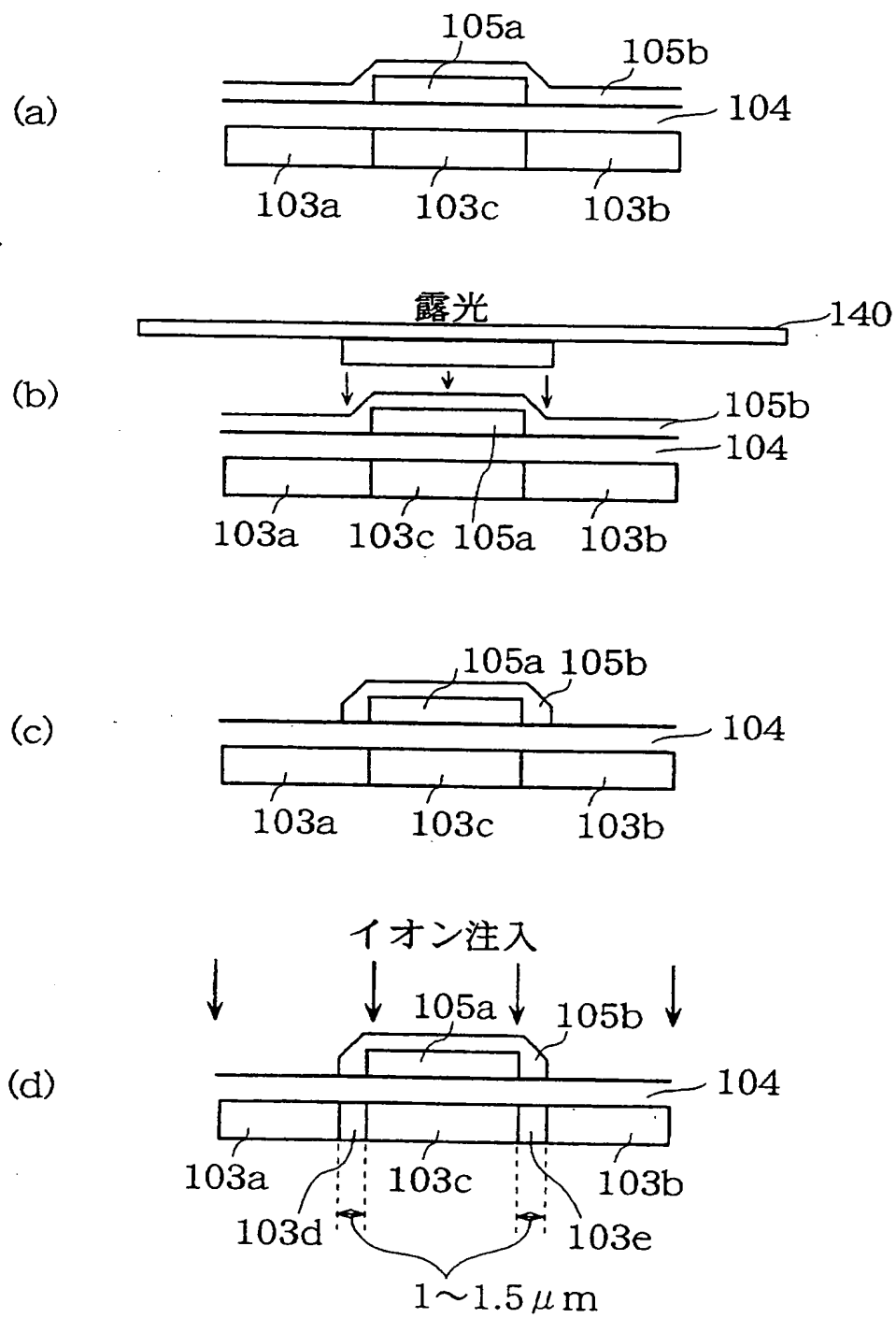
THIS PAGE BLANK (USPTO)

図30



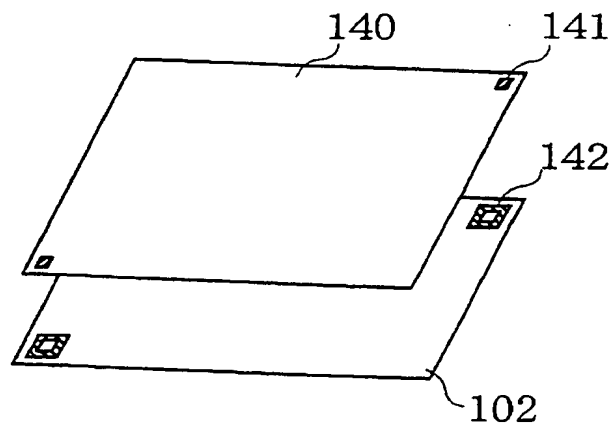
THIS PAGE BLANK (USPTO)

図31



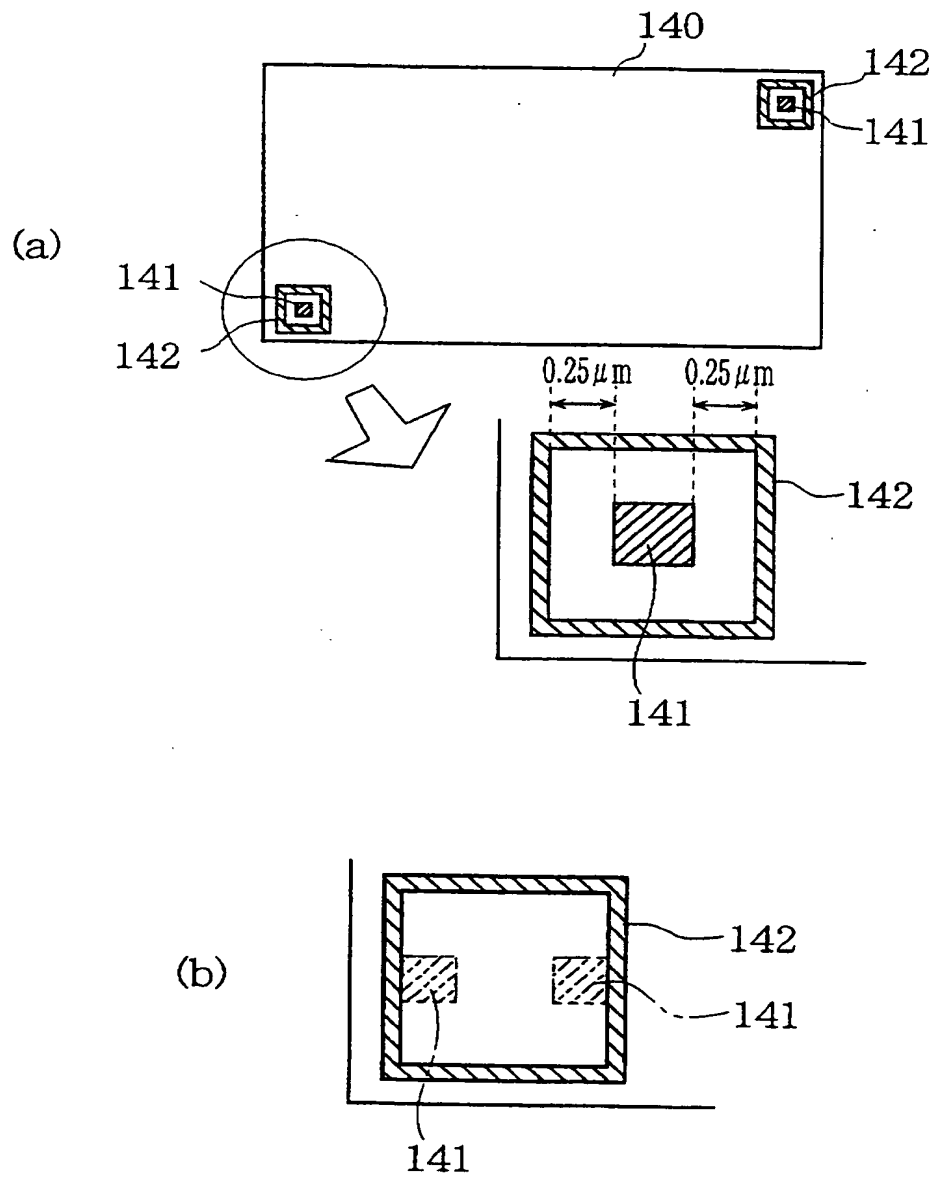
THIS PAGE BLANK (USPTO)

図32



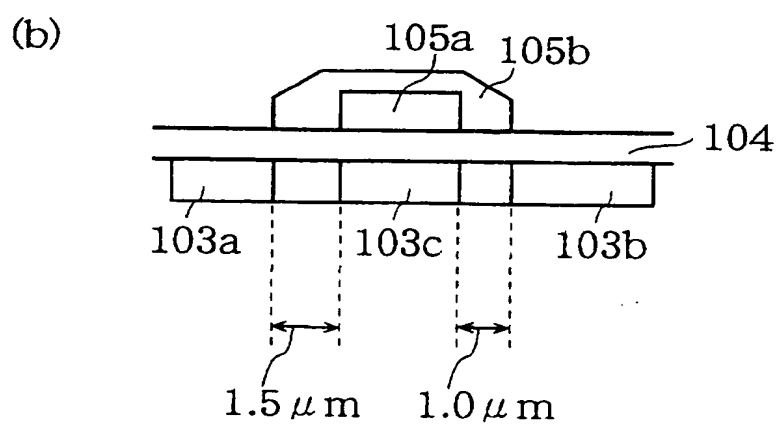
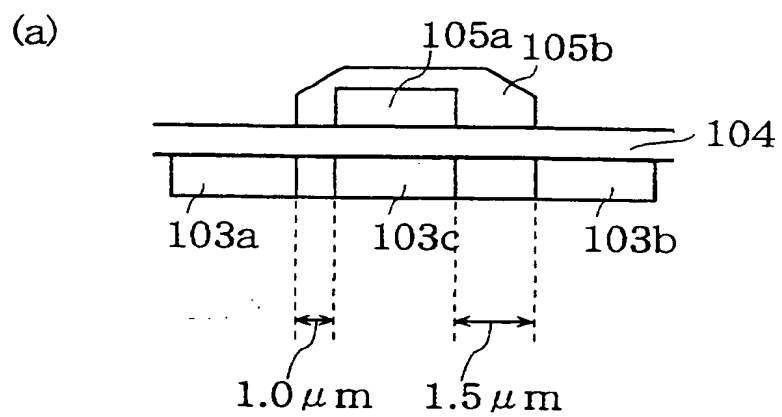
THIS PAGE BLANK (USPTO)

図33



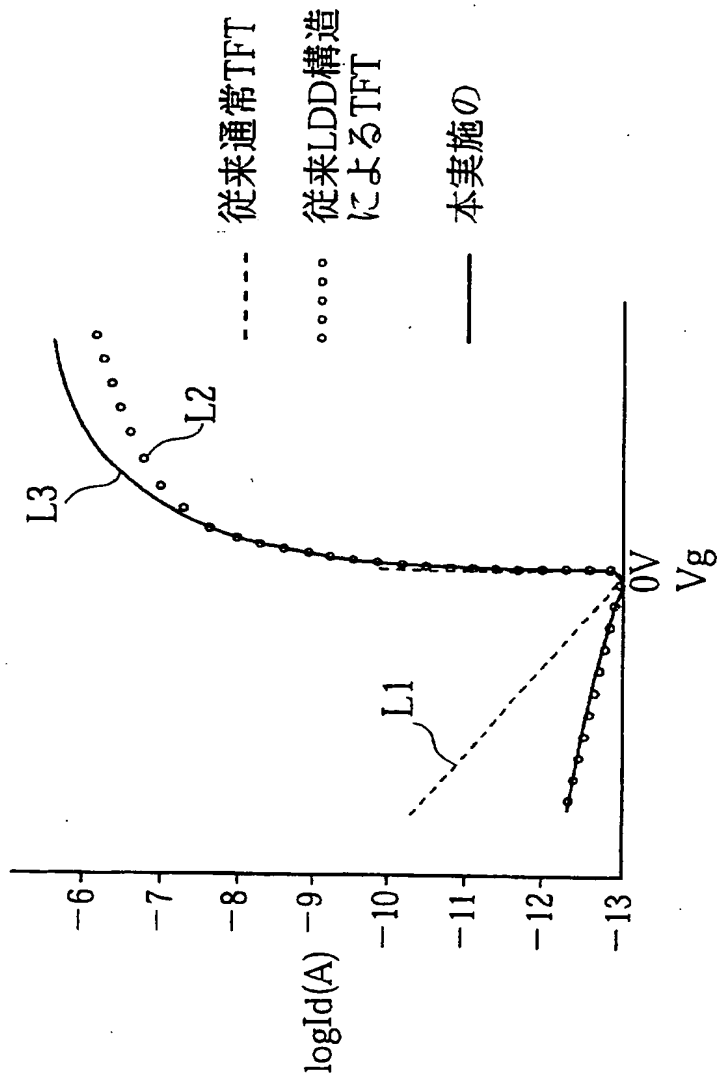
THIS PAGE BLANK (USPTO)

図34



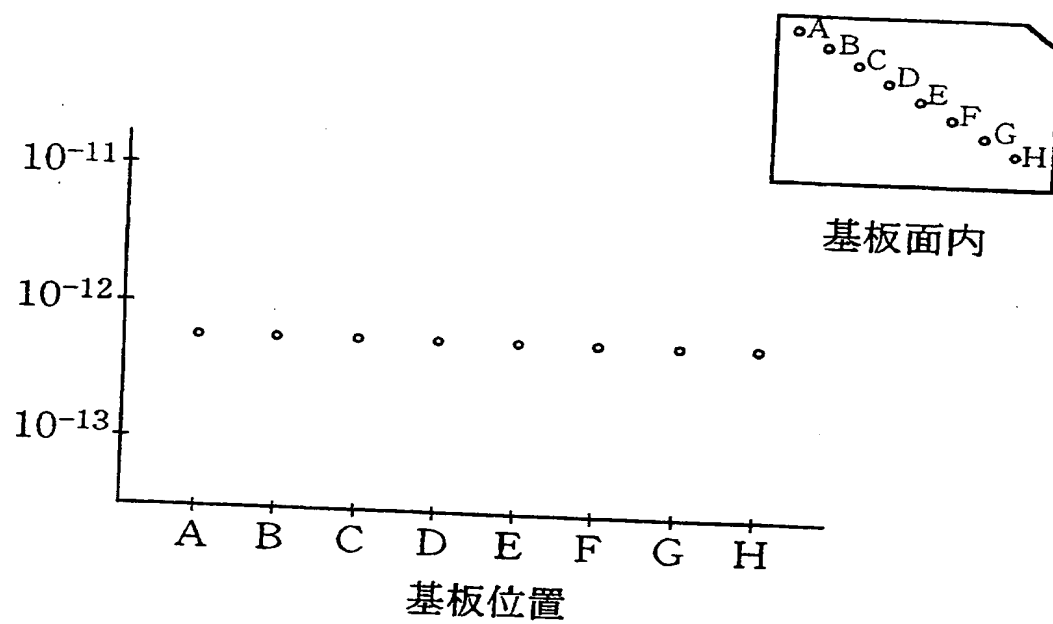
THIS PAGE BLANK (USPTO)

図35



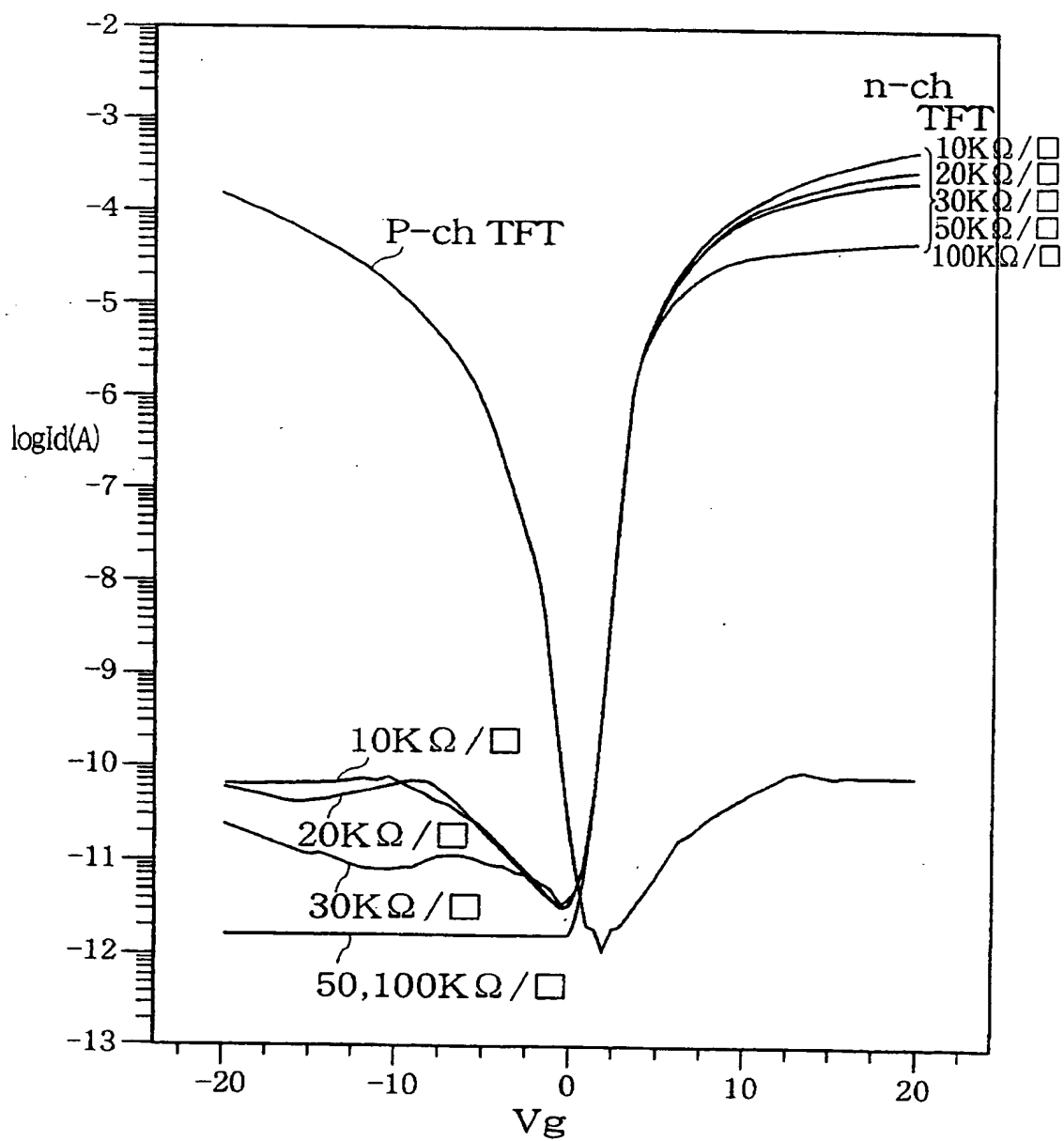
THIS PAGE BLANK (USPTO)

図36



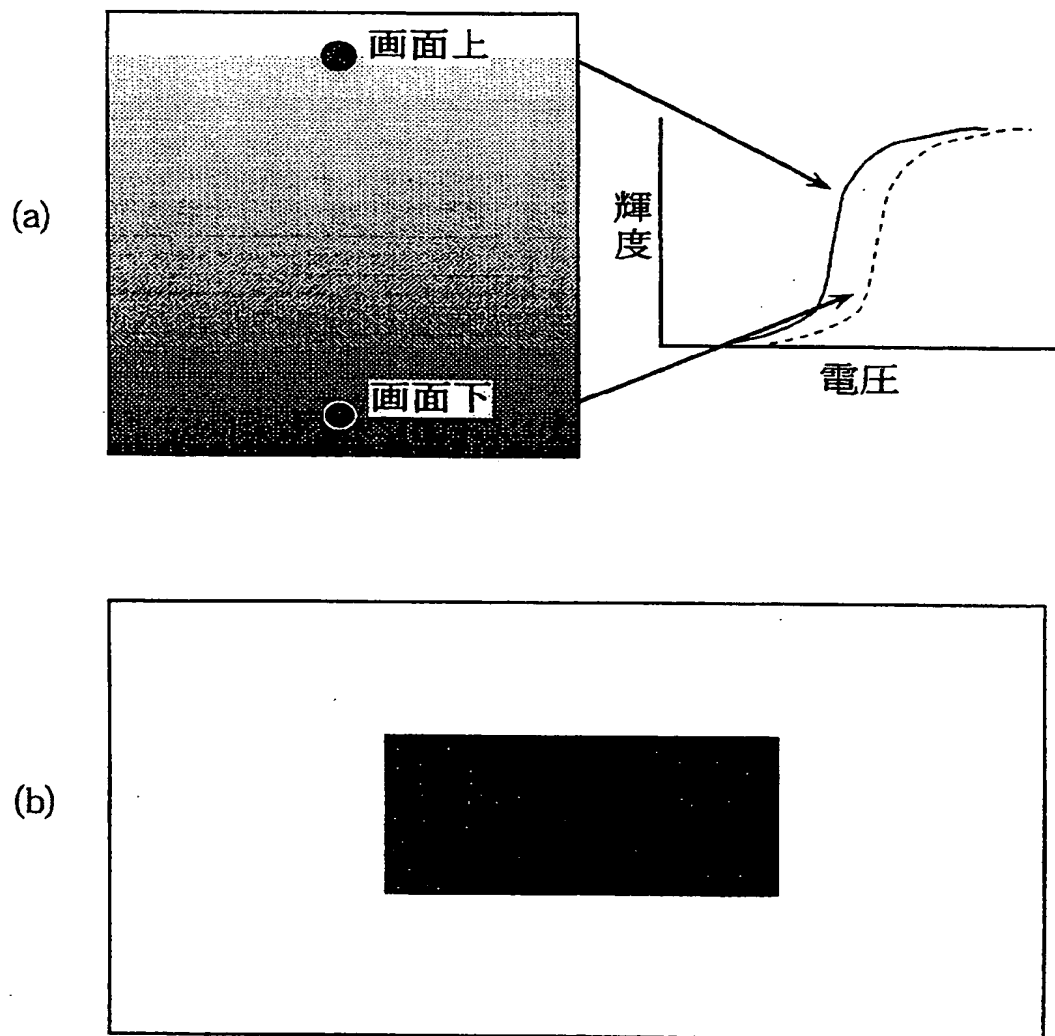
THIS PAGE BLANK (USPTO)

図37



THIS PAGE BLANK (USPTO)

図38



THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/06330

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L29/786, H01L21/336, G02F1/1368

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L29/786, H01L21/336, G02F1/1368

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2001
 Kokai Jitsuyo Shinan Koho 1971-2001 Jitsuyo Shinan Toroku Koho 1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JICST FILE (JOIS)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y X	US 5308998 A (Semiconductor Energy Laboratory Co., Ltd.), 03 May, 1994 (03.05.94), Column 4, lines 57 to 59; Column 7, line 22 to Column 9, line 18 & JP, 5-114724, A, (Semiconductor Energy Laboratory Co., Ltd.), page 4, right column, lines 23 to 27; page 5, right column, line 21 to page 6, right column, line 49 & KR, 9611183, B	7, 19 8-13, 18
Y X	JP 5-72555 A (Seiko Epson Corporation), 26 March, 1993 (26.03.93), Claims; page 2, right column, line 9 to page 3, left column, line 33 (Family: none)	7, 19 8-13
Y	JP 10-293322 A (Canon Inc.), 04 November, 1998 (04.11.98), page 3, right column, lines 3 to 11 (Family: none)	7
Y	US 5977559 A (Semiconductor Energy Laboratory Co., Ltd.), 02 November, 1999 (02.11.99), Column 5, line 66 to Column 7, line 29 & JP, 8-213633, A	19, 20

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to
"A" document defining the general state of the art which is not	understand the principle or theory underlying the invention
"E" earlier document but published on or after the international filing	"X" document of particular relevance; the claimed invention cannot be
date	considered novel or cannot be considered to involve an inventive
"L" document which may throw doubts on priority claim(s) or which is	step when the document is taken alone
cited to establish the publication date of another citation or other	"Y" document of particular relevance; the claimed invention cannot be
special reason (as specified)	considered to involve an inventive step when the document is
"O" document referring to an oral disclosure, use, exhibition or other	combined with one or more other such documents, such
means	combination being obvious to a person skilled in the art
"P" document published prior to the international filing date but later	"&" document member of the same patent family
than the priority date claimed	

Date of the actual completion of the international search
15 January, 2001 (15.01.01)

Date of mailing of the international search report
23 January, 2001 (23.01.01)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/06330

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
	(Semiconductor Energy Laboratory Co., Ltd.), page 5, left column, line 35 to page 6, left column, line 29	